



TESIS DOCTORAL

***APORTACIONES AL DISEÑO
DE ADCs EN TECNOLOGÍAS
NANOMÉTRICAS Y PARA
ENTORNOS DE ALTA
RADIACIÓN***

Fernando J. Márquez Lasso

Sevilla, Julio de 2015



TESIS DOCTORAL

***APORTACIONES AL DISEÑO
DE ADCs EN TECNOLOGÍAS
NANOMÉTRICAS Y PARA
ENTORNOS DE ALTA
RADIACIÓN***

por

Fernando J. Márquez Lasso

Ingeniero de Telecomunicaciones por la E.T.S. de Ingenieros
de la
Universidad de Sevilla

Presentada en la

Escuela Técnica Superior de Ingenieros
de la
Universidad de Sevilla

Para la obtención del grado de

Doctor por la Universidad de Sevilla

Sevilla, Julio de 2015



TESIS DOCTORAL

***APORTACIONES AL DISEÑO
DE ADCs EN TECNOLOGÍAS
NANOMÉTRICAS Y PARA
ENTORNOS DE ALTA
RADIACIÓN***

Autor:

Fernando J. Márquez Lasso

Directores:

Fernando Muñoz Chavero

Ramón González Carvajal

AGRADECIMIENTOS

Me gustaría expresar mi más sincero agradecimiento a todos aquellos que durante estos años han compartido su tiempo conmigo y contribuido, de alguna manera, a llegar aquí ahora. Sería imposible poner todos los nombres, pero espero que podáis reconocerlos como lo que sois: una parte importante de esta etapa de mi vida.

En primer lugar, quisiera agradecer a mis directores de Tesis, Ramón González y Fernando Muñoz, la oportunidad de empezar este camino y poder seguir en él durante todos estos años. No siempre ha sido fácil, pero contar con su guía y apoyo ha sido clave para llegar con éxito hasta aquí. Por supuesto, hago extensivo el agradecimiento a Antonio Torralba, sin cuya confianza y conocimientos tampoco hubiera sido posible culminar este trabajo satisfactoriamente. También quiero agradecer especialmente su colaboración a Luis Sanz, responsable de la programación e implementación software de AFTU, cuyos conocimientos y esfuerzo han ayudado a incrementar la calidad del trabajo presentado en esta Tesis.

En segundo lugar, a mis compañeros del Departamento de Ingeniería Electrónica, y en especial del grupo GIE. Me gustaría poner aquí todos vuestros nombres, pero seguro que me olvidaría a alguien y no sería justo que así fuera. A todos vosotros, con los que tantos momentos he compartido desde aquel pasillo en el que comenzara todo hace ya algunos años, gracias por vuestro conocimiento, compañerismo y colaboración. Quisiera tener, además, un recuerdo especial para quienes desgraciadamente nos dejaron en estos años. Creo que todos, de una forma u otra, os seguimos teniendo presentes aquí con nosotros.

Finalmente, a mi familia y amigos, sin los cuales nada de esto habría merecido la pena. Gracias por vuestro apoyo, cariño y comprensión. Y gracias especialmente a ti, por creer -y hacerme creer- en mí en los momentos difíciles y hacer los buenos ratos mejores. Y por darle, a mi lado, sentido a todo.

Gracias de corazón.

RESUMEN DE LA TESIS

El trabajo presentado a lo largo de esta Tesis Doctoral está intrínsecamente relacionado con la evolución del diseño de circuitos integrados analógicos y de señal mixta empleando tecnologías nanométricas. En los últimos años, el desarrollo de dichas tecnologías ha posibilitado un avance gigantesco en cuanto a funcionalidad y velocidad de los sistemas de comunicaciones, provocando un gran auge en los sistemas de comunicaciones, con especial relevancia de los estándares inalámbricos. No obstante, también han surgido nuevos retos a nivel arquitectural y de diseño derivados, en gran medida, de los efectos del escalado tecnológico, que obligan a la búsqueda de nuevas soluciones para adecuarse a unas restricciones cada vez más exigentes.

En la presente Tesis Doctoral se han realizado aportaciones en dos ámbitos destinados a aplicaciones de interés para el diseño microelectrónico analógico en tecnologías nanométricas:

1. Diseño de convertidores Analógico-Digital de muy alta velocidad.

Los nuevos estándares de comunicaciones de banda ancha o la mayor velocidad de lectura de los soportes de almacenamiento de información incrementan la necesidad de mayor velocidad de conversión en el diseño de convertidores Analógico-Digital (A/D). Los convertidores con arquitectura flash o de conversión directa suelen ser los más utilizados para este tipo de aplicaciones. Sin embargo, la resolución de dichos convertidores se ve seriamente comprometida por el error de *offset* de los comparadores utilizados, que en tecnologías nanométricas resulta especialmente sensible a las variaciones de procesos. Las prestaciones de las técnicas tradicionales se ven afectadas por los efectos del escalado, siendo necesario emplear nuevas técnicas que permitan alcanzar los requerimientos con un consumo energético eficiente.

2. Diseño robusto de circuitos analógicos para aplicaciones espaciales y nucleares.

Las frecuencias de trabajo cada vez más elevadas y dimensiones de los transistores más y más pequeñas hacen que la influencia de los Efectos de Eventos Singulares (SEE) sea cada vez más crítica, tanto en los circuitos digitales como analógicos. La evolución de las tecnologías CMOS ha contribuido a incrementar los riesgos de errores críticos en circuitos en entornos de alta radiación, donde la interacción de iones pesados con los componentes analógicos puede dar lugar a variaciones transitorias o permanentes en su comportamiento. Por una parte, las frecuencias de funcionamiento cada vez más altas pueden incrementar la sensibilidad ante la captura de Eventos Singulares Transitorios (SET), aumentando el riesgo de propagación de errores. Además, los SET son

fuertemente dependientes de la configuración eléctrica de los dispositivos, pudiendo afectar muy seriamente al rendimiento e incluso a la funcionalidad de los circuitos. Es por ello que el estudio de estos impactos y su influencia en circuitos analógicos ha adquirido en los últimos años una enorme relevancia, ya que un análisis de las posibles vulnerabilidades puede proporcionar información clave para el diseño de sistemas robustos contra la radiación.

Dentro del primer ámbito de investigación se ha diseñado un convertidor A/D de 6 bits de tipo flash para el estándar de comunicaciones Ultra-WideBand (UWB). En primer lugar, se han estudiado de las limitaciones que imponen las tecnologías nanométricas con vistas a su aplicación al diseño microelectrónico en convertidores de alta velocidad y bajo consumo. Se ha determinado que el comportamiento de los convertidores A/D de tipo flash está limitado por errores causados por las mayores variaciones en los procesos. Mediante el análisis de la literatura, se han estudiado e identificado diferentes técnicas y tendencias seguidas por la comunidad científica en los últimos años con el objetivo de incrementar la eficiencia energética en el ámbito considerado. En concreto, se han descrito y referido numerosas técnicas de compensación, interpolación, submuestreo y simplificación de la circuitería analógica.

Como principal aportación original en este campo, se propone una técnica novedosa de calibración para compensación de *offset* y *mismatch* en el dominio analógico. Sobre la topología básica de un convertidor flash, se emplean técnicas de interpolación capacitiva para disminuir el número de amplificadores, mejorando las prestaciones en consumo sobre esquemas tradicionales. El esquema propuesto no usa capacidades a la entrada del convertidor, reduciendo así la carga en la misma y disminuyendo el consumo de los bloques anteriores. Además, la técnica presentada requiere de una única fase de reloj, disponiendo los amplificadores de más tiempo de trabajo en cada ciclo, resultando en una menor exigencia en sus prestaciones y ahorro en consumo.

En el ámbito del diseño microelectrónico para aplicaciones en entornos de alta radiación, la principal aportación de esta Tesis Doctoral ha sido el desarrollo de un nuevo software de ayuda al diseño de circuitos robusto a radiación: AFTU (Analog Fault Tolerant University of Seville Debugging System). En el contexto considerado y en el marco de proyectos financiados por la Agencia Espacial Europea (Cosmic Vision, FTU2), se constata la necesidad de seguir una estricta metodología de evaluación y test de los circuitos diseñados para asegurar el correcto funcionamiento en entornos de alta radiación. El conocimiento de las partes más vulnerables a los efectos de la radiación es un punto crítico para el diseño tolerante a fallos de circuitos microelectrónicos en aplicaciones para el espacio, y se requiere una herramienta que permita un análisis rápido de vulnerabilidades en etapas tempranas de diseño.

A lo largo de esta Tesis, se describe la arquitectura de la herramienta desarrollada, así como las principales características, parámetros de interés y ejemplos que permitan conocer su uso y potencialidad. Para evaluar y depurar el funcionamiento de la misma se ha evaluado la sensibilidad a SET de diferentes circuitos reales, empleando tanto diseños propios como ajenos analizados en colaboración con empresas. Esta evaluación ha permitido tanto depurar los errores detectados en el prototipo inicial, como definir nuevas heurísticas para el análisis de sensibilidad, así como incorporar paulatinamente nuevas tecnologías sobre las que poder realizar el análisis de sensibilidad ante SEE. Se incluyen en esta Tesis Doctoral algunos ejemplos de circuitos analizados, como muestra del potencial de la herramienta desarrollada.

ÍNDICE GENERAL

RESUMEN DE LA TESIS	VII
ÍNDICE GENERAL	XI
ÍNDICE DE TABLAS.....	XIII
ÍNDICE DE FIGURAS.....	XV
LISTA DE ACRÓNIMOS.....	17
INTRODUCCIÓN	21
1.1 Motivación.....	22
1.2 Objetivos.....	24
1.3 Metodología.....	26
1.3.1 Estudio bibliográfico y del estado del arte	26
1.3.2 Definición de la arquitectura global del sistema y modelado del sistema mediante herramientas de alto nivel.	26
1.3.3 Diseño de la arquitectura completa mediante macromodelos eléctricos.	27
1.3.4 Diseño de los bloques básicos a nivel de transistor y sustitución en el macromodelo.	27
1.3.5 Layout y medidas experimentales	27
1.3.6 Desarrollo de la herramienta software para evaluación de sensibilidad a radiación de circuitos analógicos.....	27
1.4 Estructura de la Tesis.....	29
1.5 Referencias.	30
ESTADO DEL ARTE.....	33
2.1 Diseño microelectrónico en tecnologías nanométricas.....	36
2.1.1 Efectos del escalado en diseño microelectrónico	36
2.1.2 Conclusiones al estudio de tecnologías nanométricas.	45
2.2 Convertidores A/D de alta velocidad y bajo consumo	46
2.2.1 Técnicas de compensación digital	47
2.2.2 Simplificación de la circuitería analógica.....	50
2.2.3 Submuestreo.	54
2.2.4 Conclusiones sobre estado del arte de convertidores de alta velocidad	55
2.3 Aplicaciones microelectrónicas para el espacio	56
2.3.1 Efectos de la radiación en dispositivos semiconductores	58
2.3.2 Diseño robusto contra radiación.....	62
2.3.3 Conclusiones sobre diseño robusto ante radiación	67

2.4	Conclusiones.....	68
2.5	Referencias.....	69
DISEÑO DE CONVERTIDOR A/D FLASH DE 6 BITS.....		79
3.1	Arquitectura tradicional	81
3.2	Convertidores A/D flash con interpolación y compensación de offset.....	83
3.3	Especificaciones y arquitectura del convertidor diseñado	87
3.4	Diseño de bloques constructivos del convertidor A/D flash.....	91
3.4.1	Etapas preamplificadoras.....	91
3.4.2	Comparadores.....	95
3.4.3	Backend digital	96
3.4.4	Implementación del convertidor A/D	105
3.4.5	Detalles adicionales de implementación.....	116
3.5	Caracterización experimental.....	118
3.6	Conclusiones.....	124
3.7	Referencias.....	125
AFTU: HERRAMIENTA DE ANÁLISIS DE CIRCUITOS BAJO RADIACIÓN		129
4.1	Introducción.....	131
4.2	AFTU: herramienta de análisis bajo radiación	133
4.2.1	Descripción de AFTU.....	134
4.4	Conclusiones.....	136
4.5	Referencias.....	136
CONCLUSIONES Y LINEAS FUTURAS		139
5.1	Conclusiones.....	140
5.2	Líneas futuras de investigación.....	142
5.3	Referencias.....	143
BIBLIOGRAFÍA		145
PUBLICACIONES.....		157
A.1	Capítulos de libro.....	158
A.2	Artículos en revistas.....	158
A.3	Comunicaciones en congresos internacionales.....	158
A.4	Publicaciones relacionadas parcialmente con la Tesis.....	159

ÍNDICE DE TABLAS

Tabla 2.1- Evolución de los parámetros tecnológicos en tecnologías CMOS	39
Tabla 3.1- Especificaciones del convertidor diseñado	87
Tabla 3.2- Conversión termométrico-binario para $N = 3$ bits	96
Tabla 3.3- Tabla de verdad para implementación de lógica de corrección	98
Tabla 3.4- Algoritmo para celdas sumadoras (FA) en árbol de Wallace	101
Tabla 3.5- Requerimientos de distintos esquemas para ADC flash de $N=6$ bits [Sal04b]	104
Tabla 3.6- Dimensionamiento del preamplificador principal	108
Tabla 3.7- Resultados de simulación para etapas preamplificadoras.....	109
Tabla 3.8- Dimensiones de transistores para diseño del comparador	111
Tabla 3.9- Prestaciones del convertidor A/D fabricado	118
Tabla 3.10 - Prestaciones del convertidor A/D fabricado	123

ÍNDICE DE FIGURAS

Figura 2.1 -Arquitecturas de conversión más utilizadas, en función de las especificaciones de resolución y velocidad.	56
Figura 2.2 - Flujo de diseño y verificación para Diseño Robusto a Radiación.....	62
Figura 3.1 - Estructura clásica de un convertidor A/D flash de N bits.	81
Figura 3.2 - Esquema flash con ganancia distribuida	83
Figura 3.3 - Interpolación resistiva.....	84
Figura 3.4 - Esquema flash con interpolación capacitiva	85
Figura 3.5 - Interpolación capacitiva	86
Figura 3.6 - Técnica de auto-cero tradicional	86
Figura 3.7 - Arquitectura del convertidor A/D flash de 6 bits.....	88
Figura 3.8 - Detalle de S&H e interpolación de tensiones	89
Figura 3.9 - Compensación de offset mediante calibración	89
Figura 3.10 - Esquema del preamplificador principal	91
Figura 3.11 - Etapa preamplificadora con auto-cero	92
Figura 3.12 - Esquema preamplificador (2ª etapa y sucesivas) en modo de calibración .	93
Figura 3.13 - Esquema preamplificador en funcionamiento normal.....	94
Figura 3.14 - a).- Amplificador A1 (bucle para compensación de offset) b) Amplificador A2 (bucle de control de modo común)	94
Figura 3.15 - Arquitectura del comparador	95
Figura 3.16 - Esquema genérico para backend digital	97
Figura 3.17 - ADC flash con decodificador ROM y lógica de corrección [KanJ99]	98
Figura 3.18 - Fat-tree encoder para N=4 bits (sin lógica de corrección) [Lee04].....	100
Figura 3.19 - Wallace-tree encoder para N=4 bits [KanJ99]	101
Figura 3.20 - Folded Wallace-tree encoder genérico para N bits [Sal04a]	102
Figura 3.21 - Decodificador basado en MUX para N=4 bits [Sal04b].....	103
Figura 3.22 - Resolución efectiva de distintos esquemas respecto a desviación estándar de la diferencia temporal entre reloj y señal [Sal04b].....	104
Figura 3.23 - Detalle de implementación del convertidor A/D flash de 6 bits	106
Figura 3.24 - a) Amplificador principal de alta frecuencia b) Etapa amplificadora con compensación de offset y modo común.....	107
Figura 3.25 - Análisis en frecuencia para las distintas etapas preamplificadoras (a) Primera etapa (b) Segunda etapa (c) Tercera etapa (d) Cuarta etapa.....	108
Figura 3.26 - Layout de etapa preamplificadora implementado	109
Figura 3.27 - Esquema del comparador diseñado	110
Figura 3.28 - Respuesta del comparador ante entrada en rampa.....	111
Figura 3.29 - Detalle de histéresis del comparador	111
Figura 3.30 - Funcionamiento del comparador (entrada entre -2 y 2 mV).....	112
Figura 3.32 - Layout del comparador diseñado	113
Figura 3.32 - Esquema genérico para backend digital	113
Figura 3.33 - Registros de entrada (banco completo y detalle ampliado).....	114
Figura 3.34 - Lógica combinacional de corrección (celda unidad)	114

Figura 3.35 - Encoder de conversión termométrico-binario implementado	115
Figura 3.36 - Detalle de decodificador implementado	115
Figura 3.37 - Layout del backend digital en tecnología de 130 nm.....	116
Figura 3.38 - Detalle de la implementación del S&H distribuido	117
Figura 3.39 - Implementación del ADC de 3 bits para caracterización experimental.....	119
Figura 3.40 - (a) Convertidor A/D de 3 bits fabricado en tecnología de 130 nm.	120
Figura 3.41 - INL medida a 1GS/s	121
Figura 3.42 - DNL medida a 1GS/s.....	121
Figura 3.43 - SNDR medido a $f=1\text{GHz}$ para una entrada a 95 MHz.	122
Figura 3.44 - Caracterización dinámica medida en función de la frecuencia	122
Figura 3.45 - Estado del arte de convertidores A/D flash de 6 bits.....	123
Figura 4.1 – Circuito con fuentes añadidas para simulación y pulso generado por fuentes con modelo de doble exponencial	133

LISTA DE ACRÓNIMOS

A continuación se muestra una lista de términos y acrónimos utilizados en esta Tesis Doctoral. En algunos de ellos se han añadido entre paréntesis términos que clarifican el contexto de la definición. En aquellos acrónimos heredados de la literatura anglosajona se ha añadido entre corchetes la transcripción original.

A/D	(Convertidor) Analógico-Digital.
ADC	Convertidor Analógico Digital [Analog to Digital Converter].
AFTU	[Analog Fault Tolerant University of Seville Debugging System]
AHDL	(Lenguaje de descripción de circuitos) [Altera Hardware Description Language]
ASIC	[Application-Specific Integrated Circuit]
BiCMOS	(Tecnología) [Bipolar Complementary Metal-Oxide Semiconductor].
CMOS	(Tecnología) [Complementary Metal-Oxide Semiconductor].
CBSC	(Técnica de diseño de circuitos) Capacidades conmutadas basada en Comparadores [Comparator Based Switched Capacitor]
DAC	Convertidor Digital Analógico [Digital to Analog Converter]
DR	Rango dinámico [Dynamic Range].
DSP	Procesador digital de señal [Digital Signal Processor].
ENOB	Número efectivo de bits [Effective Number of Bits].
ESA	Agencia Espacial Europea [European Space Agency]
FoM	Figura de mérito [Figure Of Merit].
FPGA	[Field Programmable Gate Array]
FVF	Seguidor de tensión rotado [Flipped Voltage Follower].
GIE	Grupo de Ingeniería Electrónica.
Gm-C	Implementación de integrador compuesta por un transconductor y una capacidad.

GPRS	[General Packet Radio Service]
IHP	(Fabricante) [Innovations for High Performance Microelectronics]
IrDA	[Infra-red Data Association]
LET	[Linear Energy Transfer]
LVDS	(Estándar de transmisión) [Low Voltage Differential Signaling]
MBU	Error por cambio de varios bits en registros [Multi-Bit Upset]
MCU	Error por cambio de valores en varias celdas [Multi-Cell Upset]
Opamp	Amplificador Operacional [Operational Amplifier]
OTA	[Operational Transconductance Amplifier]
PIPB	Ensanchamiento de Pulso Inducido por Propagación [Propagation Induced Pulse Broadening]
PWM	Modulación por ancho de pulso [Pulse-width Modulation]
RHA	(Actividades para) Garantía de Robustez ante Radiación [Radiation Hardness Assurance]
RHbD	(Técnicas de) Diseño Robusto ante Radiación [Radiation Hardening by Design]
RF	Radio Frecuencia [Radio Frequency]
RFID	Identificación por radio frecuencia [Radio Frequency Identification].
RTL	Nivel de Transferencia de Registros [Register Transfer Level]
SAR	(Convertidor) Registro de Aproximaciones Sucesivas [Successive Approximation Register]
SC	Capacidades conmutadas [Switched Capacitors].
SD	(Modulador) Sigma-Delta o $\Sigma\Delta$.
SEE	[Single Event Effects]
SEL	[Single Event Latchup]
SET	[Single Event Transient]
SEU	[Single Event Upset]
SiGe	(Tecnología) Silicio-Germanio

SNDR	Relación señal a ruido más distorsión [Signal to Noise And Distortion Ratio].
SNR	Relación señal a ruido [Signal to Noise Ratio].
SO	Amplificador operacional conmutado [Switched opamp].
SoC	Sistema en Chip [System On Chip].
SPICE	[Simulation Program for Integrated Circuits Emphasis]
SW	Software
TCAD	[Technology Computer Aided Design]
TDC	Convertidor de dominio del tiempo a digital [Time-to-Digital Converter]
TID	Dosis de Ionización Total (acumulada) [Total Ionizing Dose]
TSMC	(Fabricante) [Taiwan Semiconductor Manufacturing Company]
UMC	(Fabricante) [United Microelectronics Corporation]
UWB	(Estándar de comunicaciones) [Ultra-Wide Band]
WiMAX	[Worldwide Interoperability for Microwave Access]
WSN	Nodo/red inalámbrico/a de sensores [Wireless sensor node/network].

CAPITULO 1

INTRODUCCIÓN

ÍNDICE DEL CAPÍTULO

1.1 Motivación.....	22
1.2 Objetivos.....	24
1.3 Metodología.....	26
1.4 Estructura de la Tesis.....	29
1.5 Referencias.	30

En este capítulo se describe la motivación que ha impulsado la realización de la Tesis y se explican los principales objetivos científicos de la misma. Además, se detalla la metodología seguida durante el desarrollo de esta investigación y se proporciona una breve descripción de la estructura del resto del documento.

1.1 Motivación

El desarrollo de la Tesis Doctoral está ligado a la problemática nacida en el campo del diseño de circuitos integrados de señal mixta con el surgimiento de las nuevas tecnologías nanométricas. Este escalado de los sistemas microelectrónicos ha posibilitado este aumento de la velocidad y funcionalidad necesarias para soportar los nuevos estándares de comunicaciones, propiciando la aparición continua de nuevos servicios de comunicaciones.

Aparte del natural ahorro en área de silicio, el escalado tecnológico está ligado a una serie de importantes beneficios en el comportamiento de los sistemas digitales. La potencia consumida por una puerta digital puede aproximarse por la siguiente ecuación:

$$P = C_L \cdot V_{DD}^2 \cdot f \quad [1.1]$$

donde C_L es la capacidad parásita a la salida la puerta lógica, V_{DD} es la tensión de alimentación y f la frecuencia de operación. A pesar del constante aumento de la frecuencia de operación, la potencia consumida no se ve beneficiada por la reducción de las capacidades parásitas debido a la disminución de las dimensiones geométricas y la bajada de la tensión de alimentación. De hecho, de acuerdo con la ley de Gene, la eficiencia energética de procesadores DSP ha mejorado y continuará haciéndolo un factor de 1.6 cada año [Bell10].

Sin embargo, el diseño de circuitos analógicos y de señal mixta debe enfrentarse a nuevos retos con el surgimiento de las nuevas tecnologías nanométricas. El principal problema es que el escalado de la tensión umbral de los transistores MOS no es proporcional al de la tensión de alimentación, reduciéndose el rango de señal disponible. Como consecuencia, será necesaria una reducción del ruido del circuito para mantener la relación señal-ruido, con el consiguiente aumento del consumo. Unido a este empeoramiento de la eficiencia energética aparecerán nuevos problemas relacionados con ciertas no idealidades de los transistores que se ven muy potenciadas con el escalado de la tecnología. En la presente Tesis se realiza un estudio de dichas no idealidades y de cómo afectan al diseño de circuitos integrados analógicos.

Durante el desarrollo de la Tesis se observaron dos campos diferentes en los que realizar aportaciones al diseño microelectrónico analógico en tecnologías nanométricas:

1. Diseño de convertidores Analógico-Digital de muy alta velocidad.

Diferentes motivos, como el surgimiento del paradigma de comunicaciones inalámbricas conocido como “cognitive radio” [Mit99], el nacimiento de nuevos estándares de comunicaciones de banda ancha o la mayor velocidad de lectura de

los soportes de almacenamiento de información, está llevando a la necesidad de disponer muy alta velocidad de conversión Analógico-Digital (A/D). Los convertidores con arquitectura flash o de conversión directa suelen ser los más utilizados para este tipo de aplicaciones. Sin embargo, la resolución de éstos se ve seriamente comprometida por el error de *offset* de los comparadores utilizados, que en tecnologías nanométricas resulta especialmente sensible a las variaciones de procesos, siendo necesaria la utilización de diferentes métodos de compensación de *offset* [San05][Pla03].

2. Diseño robusto de circuitos analógicos para aplicaciones espaciales y nucleares.

Uno de los temas de mayor interés en la actualidad para el diseño de sistemas microelectrónicos es el análisis de tolerancia a radiación de los circuitos. La influencia de la misma puede resultar crítica en numerosas aplicaciones, tales como sistemas para el espacio, plantas nucleares, equipamiento militar, experimentos con partículas cargadas de alta energía y todo tipo de sistemas de detección de radiación en Medicina, Ciencia de los Materiales, etc. En entornos de alta radiación, los iones pesados pueden interactuar con los componentes analógicos y generar cambios transitorios de tensión significativos que produzcan un error en los sistemas, bien de forma directa o propagándose a otras partes del circuito.

La evolución de las tecnologías CMOS en los últimos años -debida en gran medida al escalado- ha contribuido drásticamente a incrementar los riesgos en circuitos expuestos a entornos de radiación. En primer lugar, la sensibilidad ante la captura de Eventos Singulares Transitorios (SET) puede incrementarse debido al funcionamiento a frecuencias cada vez más altas. El ensanchamiento de los pulsos transitorios al propagarse a través de los circuitos –conocido como PIPB¹- ha sido objeto de estudio en el dominio digital, pero también puede resultar una amenaza en diseños de señal mixta [Mog10][Mas08]. Este efecto es altamente dependiente de la topología de los circuitos, por lo que requiere un estudio cuidadoso de la influencia de los SET en cada diseño concreto. Adicionalmente, la disminución de las capacidades debida al escalado CMOS provoca una mayor sensibilidad ante eventos singulares para menores valores de carga por impacto. Por todo ello, existe en la actualidad un creciente interés en el estudio del funcionamiento de los dispositivos analógicos bajo radiación [Jau08][Fle08], con especial énfasis en circuitos de señal-mixta dada su importancia dentro de los sistemas microelectrónicos.

¹ PIPB: Pulse Induced Propagation Broadening

1.2 Objetivos

Como se ha comentado en el apartado anterior, el surgimiento de las tecnologías nanométricas ha provocado la aparición de nuevos retos en el diseño analógico de circuitos integrados. En esta Tesis realizaremos aportaciones originales en dos de estos nuevos retos:

I. Diseño de convertidores Analógico-Digital de muy alta velocidad.

Este primer objetivo de la Tesis está muy relacionado con el proyecto de investigación del Grupo de Ingeniería Electrónica (GIE) de la Universidad de Sevilla denominado SR2 (Short Range Radio²). Uno de los objetivos del proyecto consistió en el diseño de un convertidor A/D de muy alta velocidad de conversión para el estándar de comunicaciones Ultra-WideBand (UWB). Para el diseño se emplearon, por primera vez en el Grupo de Investigación, tecnologías nanométricas y se implementaron diferentes convertidores con arquitectura flash [Mar08][Mun08].

Se identificó que, en las tecnologías nanométricas actuales, el comportamiento de los convertidores A/D de tipo flash está limitado por errores causados por las mayores variaciones en los procesos. Una solución habitual a este problema consiste en usar una cadena de amplificación con varias etapas de ganancia previas al banco de comparadores, aunque el elevado número de los mismos acarrea un gran incremento de área y consumo. Una técnica muy extendida para reducir la presencia de amplificadores es la interpolación capacitiva con auto-cero [San05][Mar08]. Las principales ventajas de la interpolación capacitiva son:

- No requiere de comparadores adicionales ni resistencias de promediado en los extremos de la escalera resistiva para compensar las referencias.
- No necesita un circuito de muestreo y retención (*Sample & Hold*) externo, ya que mediante la técnica de auto-cero se implementa de forma distribuida

Sin embargo, el uso de esta técnica implica también una serie de inconvenientes que deben tenerse en cuenta [Hsu03]:

- Las capacidades conmutadas a la entrada generan interferencias en los nodos de la misma, dando lugar a un ruido de muestreo significativo.
- La necesidad de emplear dos fases de reloj no solapadas limita la frecuencia máxima de operación del convertidor.

² SR2 – Short Range Radio; proyecto Avanza I+D; Eureka-Medea+

Teniendo esto en consideración, se propone una nueva técnica de auto-cero aplicada al diseño de un convertidor A/D para aplicaciones UWB que se describirá a lo largo de esta Tesis. El esquema propuesto no usa capacidades a la entrada del convertidor, reduciendo la carga en la misma así como disminuyendo el consumo de los bloques anteriores. Además, esta técnica permite usar una única fase de reloj, disponiendo los amplificadores de más tiempo de trabajo en cada ciclo, lo que resulta en una menor exigencia en sus prestaciones y ahorro en consumo.

II. Diseño robusto de circuitos analógicos para entornos de alta radiación ambiental.

Análogamente al caso anterior, este segundo objetivo de la Tesis está estrechamente ligado a varios proyectos de investigación del GIE. En primer lugar, una de las tareas asignadas a dicho Grupo, dentro las actividades del plan *Cosmic Vision*³ de la Agencia Espacial Europea (ESA), consistía en evaluar la robustez de diferentes sistemas analógicos (filtros de tiempo continuo, ADC, DAC, amplificadores, etc) frente a impactos de iones pesados. Durante el desarrollo del proyecto se determinó la gran utilidad de herramientas de ayuda al diseño que permitieran evaluar de forma automática la sensibilidad de circuitos analógicos.

En el contexto considerado se constata la necesidad de seguir una estricta metodología para asegurar el correcto funcionamiento bajo condiciones de radiación de los circuitos diseñados [Schw08]. El conocimiento de las partes más vulnerables a los efectos de la radiación es un punto crítico para el diseño tolerante a fallos (RHbD⁴) de circuitos microelectrónicos. Sin embargo, un análisis exhaustivo de los efectos de la radiación mediante herramientas como TCAD llevaría a costes computacionales muy elevados, especialmente al tratar con diseños analógicos con un gran número de transistores.

Con el objetivo de paliar este problema, se desarrolló una primera versión [Mar12] de una herramienta de análisis sistemático de circuitos analógicos bajo condiciones de radiación, cuyo desarrollo se presenta en esta Tesis: AFTU (Analog Fault Tolerant University of Seville Debugging System) [Mar14]. El objetivo principal de esta aplicación es permitir a los diseñadores un análisis rápido de vulnerabilidades sobre los circuitos, con el fin de incorporar técnicas de diseño robusto que permitan corregirlas en etapas previas a la fabricación. El desarrollo de la herramienta presentada en esta Tesis Doctoral ha sido financiado por la Agencia Espacial Europea en el marco del proyecto de investigación FTU2⁵.

³ Proyecto *Radiation tolerant analogue/mixed-signal technology survey and test vehicle design*, dentro del plan *Cosmic Vision*, financiado por la Agencia Espacial Europea.

⁴ RHbD: Radiation Hardened by Design

⁵ FTU2: proyecto *High Capacity, High Speed IC Test System for Automatic Fault Injection and Analysis (FT UNSHADES 2)*, financiado por la Agencia Espacial Europea.

1.3 Metodología

En este apartado se detalla la metodología que se ha seguido durante el desarrollo de la Tesis Doctoral para la consecución de los objetivos y que indirectamente ha definido el plan de trabajo.

1.3.1 Estudio bibliográfico y del estado del arte

Durante esta fase se han estudiado en profundidad las limitaciones de las tecnologías nanométricas en el diseño de circuitos analógicos, especialmente en el ámbito de circuitos A/D de alta velocidad. El principal objetivo de este estudio es examinar dichas limitaciones y determinar su influencia en distintas arquitecturas y técnicas empleadas para conversión en las que se basará el trabajo posterior dentro de esta Tesis. De esta manera, el estudio permitirá tomar decisiones sobre parámetros de la arquitectura a alto nivel.

Destacaremos que, durante esta fase, el doctorando no se ha limitado a realizar una búsqueda bibliográfica, sino que ha realizado diseños clásicos de convertidores Flash en tecnologías nanométricas [Mar08] [Muñ08] y colaborado en otras investigaciones relativas a convertidores A/D [LopE11] [Gar11,12] [PalB12], adquiriendo así la experiencia necesaria para abordar con éxito el resto de la Tesis.

Por otra parte, dentro del ámbito de diseño robusto ante radiación, se ha estudiado la literatura técnica detectando la creciente importancia de los Efectos de Eventos Singulares (SEE) en sistemas microelectrónicos y constatando la necesidad de un método de análisis automático para diseños analógicos de gran complejidad.

Se definen a continuación los pasos seguidos en cada uno de los ámbitos considerados objetivos de esta Tesis Doctoral.

1.3.2 Diseño de convertidores Analógico-Digital de muy alta velocidad

1.3.2.1 Definición de la arquitectura global del sistema y modelado del sistema mediante herramientas de alto nivel

En esta fase se pretende determinar las arquitecturas óptimas para la implementación de los sistemas, haciendo énfasis en la reducción de consumo. También se busca determinar el efecto de las no idealidades de los bloques constructivos típicos de un ADC Flash y su impacto sobre las prestaciones finales del mismo.

Se ha realizado el modelado de estas no idealidades en entornos de simulación de alto nivel (MATLAB/Simulink) y, mediante simulaciones extensivas a nivel de sistema, se han determinado las especificaciones y prestaciones mínimas a cumplir por los diferentes bloques analógicos que componen el ADC.

1.3.2.2 Diseño de la arquitectura completa mediante macromodelos eléctricos

Se ha diseñado el ADC completo mediante una implementación de sus bloques realizada con macro-modelado en sistemas de descripción hardware (AHDL). En esta fase de la investigación será posible validar las especificaciones de los bloques analógicos extraídas de la fase anterior en el entorno final de diseño (CADENCE), y el uso de estos modelos en los bloques conmutados o que manejan señales digitales, como interruptores y comparadores, permitirá acortar el tiempo de simulación del sistema completo.

1.3.2.3 Diseño de los bloques básicos a nivel de transistor y sustitución en el macromodelo

Se diseña por separado cada bloque constructivo y se sustituyen dentro del sistema completo hasta obtener un convertidor A/D a nivel de transistor.

1.3.2.4 Layout y medidas experimentales

En esta fase se realiza el *layout* del circuito para su fabricación, validando su comportamiento a nivel de simulación. También se enviará a fabricar el circuito integrado y se caracterizará, a través de los siguientes pasos:

- Preparación del protocolo de pruebas.
- Diseño y fabricación de las placas PCB para test en el laboratorio.
- Preparación de entorno de test en el laboratorio para la realización de las distintas pruebas.

1.3.3 Diseño de circuitos analógicos para entornos de alta radiación ambiental

Uno de los grandes objetivos de la Tesis es el desarrollo de un nuevo software de ayuda al diseño de circuitos robustos ante radiación. Para ello, se han seguido los pasos descritos a continuación.

1.3.3.1 Desarrollo de primer prototipo software

Como primer paso, se desarrolla un primer prototipo de la herramienta SW utilizando lenguaje de programación Java para la implementación del código, a partir del análisis de diversos circuitos reales. Esta herramienta preliminar sirve para mostrar la potencialidad de la idea [Mar12] y conseguir financiación para su desarrollo a través de la Agencia Espacial Europea.

1.3.3.2 Segunda versión de la herramienta

Bajo una actividad de la ESA dentro del proyecto FTU2, se lleva a cabo una segunda versión mejorada de la herramienta, incluyendo una reprogramación completa de la misma en lenguaje C, empleando herramientas de GNU Flex y Bison. El objetivo es disponer de una herramienta más robusta y amigable de cara al usuario (diseñador), con un enfoque más general compatible con simuladores basados en SPICE. Además, se van perfilando una serie de mejoras que faciliten la futura integración de la herramienta para su uso en un entorno web.

1.3.3.3 Depuración y ampliación de capacidades

Para valorar y depurar el funcionamiento de la herramienta, se evalúa la sensibilidad a SEE de diferentes circuitos reales, tanto propios como mediante análisis solicitados por empresas. En concreto, se han analizado:

- Diversas estructuras de amplificadores operacionales clásicas (*opamps*)
- Diversas celdas básicas de tipo *latch* en distintas tecnologías (130 nm de STMicroelectronics, 180 nm UMC, IHP 250 nm SiGe BiCMOS)
- Un módulo de transmisión LVDS ⁶ [LopJ14] diseñado por Arquimea Ingeniería S.L.U en tecnología IHP 250 nm SiGe BiCMOS, como parte de un estudio de sensibilidad ante SET del diseño previo a su fabricación.
- Un pad de entrada/salida (I/O) diseñado por IHP Microelectronics en tecnología de 250 nm SiGe BiCMOS, como asesoramiento para diseño robusto ante radiación.

Esta evaluación ha permitido tanto depurar los *bugs* detectados, como definir nuevas heurísticas para el análisis de sensibilidad, así como incorporar paulatinamente nuevas tecnologías sobre las que poder realizar el análisis. Cabe señalar que algunos de los circuitos evaluados están constituidos por un número de transistores del orden de varias centenas, lo que da una idea de la complejidad del análisis y potencialidad de la herramienta.

⁶ LVDS: Low Voltage Differential Signaling (estándar de transmisión para protocolo de comunicaciones serie diferencial)

1.4 Estructura de la Tesis

El contenido presentado a lo largo de esta Tesis Doctoral está estructurado en cinco capítulos, incluyendo un primero de introducción al trabajo realizado y uno final donde se recogen las conclusiones obtenidas del mismo y las líneas futuras previstas a raíz de los resultados obtenidos.

En el Capítulo 2, se recoge un estudio del estado del arte centrado esencialmente en dos vertientes: por un lado, se estudian las limitaciones de las tecnologías nanométricas, así como diversas técnicas para mejorar la eficiencia energética para su aplicación al diseño de convertidores A/D de alta velocidad y bajo consumo; por otra parte, se realiza un estudio de las necesidades de diseño microelectrónico en entornos de radiación, así como de las herramientas y métodos de evaluación de vulnerabilidades disponibles actualmente. Como conclusión de este capítulo, se extraen primero una serie de conocimientos tanto de las tecnologías empleadas como de las técnicas más adecuadas al diseño del convertidor de alta frecuencia diseñado en esta Tesis Doctoral (Capítulo 3). En segundo lugar, del análisis de la problemática actual del diseño microelectrónico para aplicaciones espaciales, se concluye que existe la necesidad de una herramienta de apoyo al diseño que permita una evaluación rápida y en fases tempranas del diseño de circuitos con gran densidad de transistores.

En el Capítulo 3, se describe el diseño de un convertidor A/D de tipo flash con 6 bits de resolución para aplicaciones inalámbricas siguiendo el estándar UWB. Se comienza el capítulo recordando la estructura tradicional de un convertidor A/D flash, comentando sus principales características y no idealidades. Así mismo, se describen y refieren diversas técnicas de implementación habituales que pueden ayudar a minimizar el impacto de los inconvenientes descritos anteriormente, mejorando la eficiencia energética del diseño. Posteriormente, se describe una técnica novedosa de compensación de *offset* empleada para la implementación del convertidor A/D. Finalmente, se expone la arquitectura del convertidor diseñado –basada en interpolación capacitiva–, y se detallarán el diseño y funcionalidad de sus principales componentes. Así mismo, se concluye el capítulo con los resultados de simulación y experimentales obtenidos tras su fabricación y medida siguiendo la metodología descrita en apartados anteriores.

En el Capítulo 4 se describe el desarrollo de una herramienta software de análisis de vulnerabilidades para su uso en el testeo de circuitos microelectrónicos para aplicaciones en entornos de radiación. En primer lugar, se incluye una introducción a la problemática del diseño microelectrónico bajo los efectos de la radiación, describiendo brevemente los principales efectos a tener en cuenta y su influencia tanto en circuitos digitales como analógicos. A continuación, se presenta una descripción general de la herramienta, incluyendo su fundamento teórico, así como la cadena de aplicaciones que la compone.

Posteriormente, se incluye un apartado que sirve como guía de uso en el que se detallan los distintos elementos necesarios, estructura de los ficheros, aplicaciones empleadas y opciones disponibles, culminando con un ejemplo sencillo que ilustra el proceso completo de análisis partiendo de un esquemático de simulación. Finalmente, se explican varios casos de uso donde se ha empleado la herramienta para el análisis de vulnerabilidades en circuitos reales tanto analógicos como de señal mixta.

1.5 Referencias

- [Bell10] Belleville, M. ; Fanet, H.; Fiorini, P.; Nicole, P.; Pelgrom, M.J.M.; Piguët, C.; Hahn, R.; VanHoof, C.; Vullers, R.; Tartagni, M. & Cantatore, E. **“Energy autonomous sensor systems: Towards a ubiquitous sensor technology.”** *Elsevier Microelectronics Journal*. Vol., No. 41, (March 2010), pp.(740-745).
- [Fle08] Fleming, P.R.; Olson, B.D.; Holman, W.T.; Bhuvá, B.L.; Massengill, L.W., **“Design Technique for Mitigation of Soft Errors in Differential Switched-Capacitor Circuits,”** *Circuits and Systems II: Express Briefs, IEEE Transactions on* , vol.55, no.9, pp.838,842, Sept. 2008
- [Gar11] J. R. García-Oya, A. Jurado, F. Muñoz, A. Torralba, F. Márquez: **“Multiple Clocking High Analog-to-Digital Conversion Based on Subsampling.”** *Conference on Design of Circuits and Integrated System (DCIS 2011)*. Albufeira, Portugal. 2011
- [Gar12] J. R. García-Oya, F. Muñoz, A. Torralba, A. Jurado, F. Márquez: **“Data Acquisition System based on Subsampling using Multiple Clocking Techniques.”** *IEEE Transactions on Instrumentation and Measurement*. 2012. Vol. 61. Núm. 8. Pag. 2333-2335
- [Hsu03] C.-W. Hsu, T.-H. Kuo; **“6-bit 500 MHz flash A/D converter with new design techniques”**, *IEE Proceedings - Circuits, Devices and Systems, Volume 150, Issue 5, October 2003*, p. 460 – 464
- [Jau08] P. Jaulent, V. Pouget, D. Lewis and P. Fouillat, **“Study of Single-Event Transients in High-Speed Operational Amplifiers”**. *IEEE Transactions on nuclear science*, vol.55, nº 4, Aug. 2008
- [LopE11] E. López-Morillo, F. Muñoz, A. Torralba, F. Márquez Lasso, I. Rebollo: **“A Very Low-area Amplifier-less EA Modulator for RFID Applications.”** *DCIS 2011*. Albufeira, Portugal. 2011

- [LopJ14] J. López-Soto, D. González-Gutiérrez, J. Ilstad, M. Cirillo, F. Korndörfer; **"Use of IHP's 0.25 μ m BiCMOS Process in the Development of European LVDS Devices"** *5th International Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications (AMICSA '14)*, July 2014.
- [Mar08] F. Márquez, F. Muñoz, M. Álvarez, R. Ibañez, R. G. Carvajal: **"A 6-Bit 1-Gs/S Flash-ADC Using Capacitive Interpolation in 0.13- μ m CMOS."** *Conference on Design of Circuits and Integrated Systems*. Grenoble (Francia). 2008
- [Mar12] Marquez, F.; Munoz, F.; Palomo, F.R.; Aguirre, M.A. and Ullan, M., **"Analysis of Single Event Transient Effects in Analogue Topologies"** *4th International Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications (AMICSA '12)*. Aug. 2012.
- [Mar14] F. Márquez, F. Munoz, L. Sanz, F.R. Palomo, and M. A. Aguirre. **"AFTU, an Analog Single Event Effects automatic analysis tool"** *5th International Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications (AMICSA '14)*, July 2014.
- [Mas08] Massengill, L.W.; Tuinenga, P.W., **"Single-Event Transient Pulse Propagation in Digital CMOS,"** *IEEE Transactions on nuclear science*, vol.55, no.6, pp.2861,2871, Dec. 2008
- [Mit99] Mitola, J.; Maguire, G.Q., Jr., **"Cognitive radio: making software radios more personal,"** *IEEE Personal Communications*, vol.6, no.4, pp.13,18, Aug 1999.
- [Mog10] J.M. Mogollón, F.R. Palomo, M.A. Aguirre, J. Napoles, H. Guzmán and E. Garcia, **"TCAD Simulations on CMOS Propagation Induced Pulse Broadening Effect: Dependence Analysis on the Threshold Voltage"**, *IEEE Transactions on nuclear science*, vol.57, n° 4, Aug. 2010
- [Muñ08] F. Muñoz, F. Márquez, R. G. Carvajal, J. R. García-Oya, A. Torralba: **"A 185 Mw, 6-Bit, 1gs/S Flash a/D Converter Based on a New Autozeroing Technique."** *Conference on Design of Circuits and Integrated Systems*. Grenoble (Francia). 2008
- [Schw08] J. R. Schwank et al. **"Radiation Hardness assurance testing of microelectronic devices and integrated circuits: radiation environments, physical mechanisms, and foundations for hardness assurance"**, *Sandia National Laboratories SAND-2008-6851-P*

- [PalB12] B. Palomo, F. Muñoz, R. G. Carvajal, J. R. García-Oya, F. Márquez Lasso, “**An 8-bit 19 MS/s low-power 0.35um CMOS pipelined ADC for DVB-H.**” *Integration The VLSI journal*, Vol. 45 Issue 2, Pp.:222-227, 2012.

CAPITULO 2

ESTADO DEL ARTE

ÍNDICE DEL CAPÍTULO

2.1 Diseño microelectrónico en tecnologías nanométricas	36
2.1.1 Efectos del escalado tecnológico a nivel de diseño	36
2.1.1.1 Escalado en las tensiones de alimentación	38
2.1.1.2 Reducción de la longitud de canal de los transistores	39
2.1.1.3 Efectos en circuitos Switched-Capacitor	43
2.2 Convertidores A/D de alta velocidad y bajo consumo	46
2.2.1 Técnicas de compensación digital	47
2.2.1.1 Calibración digital y redundancia	48
2.2.1.2 Time-Interleaving	49
2.2.1.3 Procesado en el dominio del tiempo	49
2.2.2 Simplificación de la circuitería analógica	50
2.2.2.1 Interpolación	51
2.2.2.2 Switched Opamp y Opamp sharing	51
2.2.2.3 Eliminación de amplificadores clásicos (Opamp less)	52
2.2.3 Submuestreo	54
2.2.4 Conclusiones sobre estado del arte de convertidores de alta velocidad	55

2.3 Aplicaciones microelectrónicas para el espacio	56
2.3.1 Efectos de la radiación en dispositivos semiconductores	56
2.3.1.1 Activación por reacciones nucleares.....	58
2.3.1.2 Efectos de daño por desplazamiento.....	59
2.3.1.3 Efectos ionizantes	59
2.3.2 Diseño robusto contra radiación	62
2.3.2.1 Diseño robusto en sistemas digitales	64
2.3.2.2 Diseño robusto en sistemas analógicos.....	65
2.4 Conclusiones.....	68
2.5 Referencias.....	69

Durante el desarrollo de la Tesis se observaron dos campos de interés en los que realizar aportaciones al diseño microelectrónico analógico en tecnologías nanométricas.

Por un lado, las prestaciones de los circuitos analógicos y mixtos se ven comprometidas en términos de consumo debido principalmente a la disminución del rango dinámico propiciada por el escalado tecnológico. El principal problema es que el escalado de la tensión umbral de los transistores MOS no es proporcional al de la tensión de alimentación, reduciéndose el rango de señal disponible. Como consecuencia, será necesaria una reducción del ruido del circuito para mantener la relación señal-ruido (SNR), con el consiguiente aumento del consumo. Adicionalmente, el comportamiento tradicional de los dispositivos se ve modificado, haciendo necesario conocer tanto las no idealidades que pueden afectarles, como abordar nuevas técnicas y/o estrategias de diseño que permitan mantener la eficiencia energética a pesar de la creciente disminución del rango dinámico.

Por otro lado, la influencia de las tecnologías nanométricas también resulta crucial en aplicaciones espaciales, nucleares o médicas donde las prestaciones de los circuitos en entornos de radiación son críticas. Las consecuencias de interacciones entre partículas radiativas y los dispositivos se ven incrementadas por el escalado, debido a las mayores frecuencias de funcionamiento y menores valores de las capacidades en tecnologías CMOS.

A lo largo de este capítulo se realiza un estudio del estado del arte relativo a ambos ámbitos con el fin de realizar aportaciones significativas al diseño microelectrónico empleando tecnologías nanométricas.

En primer lugar, se incluye un estudio recopilatorio donde se recogen y describen los principales efectos y no idealidades presentes en las tecnologías nanométricas y su influencia en el diseño de circuitos integrados. A continuación, se incorpora un resumen de las técnicas más usuales recogidas en la literatura científica en los últimos años para conseguir una mayor eficiencia energética en el diseño microelectrónico, con especial énfasis en la conversión A/D a muy alta frecuencia. Dichas técnicas han sido clasificadas en tres categorías principales para su inclusión en este capítulo: técnicas de compensación digital, simplificación de la circuitería analógica y submuestreo. En cada apartado, se lleva a cabo una breve descripción de la técnica seleccionada y se aportan referencias a los trabajos más relevantes donde puede encontrarse una descripción más detallada.

Finalmente, se realiza un estudio de las necesidades del diseño microelectrónico en entornos de radiación en tecnologías nanométricas. En la actualidad, existe un creciente interés en el estudio del funcionamiento de los dispositivos analógicos bajo radiación, con un especial énfasis en circuitos de señal-mixta. Se comienza con una breve descripción de los distintos efectos de la radiación en dispositivos microelectrónicos para, posteriormente, abordar aspectos de diseño robusto ante radiación tanto para sistemas digitales como analógicos. En este sentido, se incluye un estudio de las diversas estrategias, herramientas y métodos de evaluación de vulnerabilidades disponibles actualmente como apoyo al diseñador para obtener un diseño robusto ante radiación. Se finaliza el capítulo con las conclusiones extraídas de los diversos apartados para los ámbitos de aplicación de esta Tesis Doctoral.

2.1 Diseño microelectrónico en tecnologías nanométricas

Una de las particularidades del trabajo realizado en esta Tesis es la utilización de tecnologías nanométricas para su uso en el diseño de circuitos microelectrónicos. En concreto, el diseño del convertidor Flash de 6 bits presentado en el Capítulo 3 de este documento se ha implementado en una tecnología CMOS de 130 nanómetros (nm) de ST Microelectronics.

La denominación de tecnologías nanométricas se aplica a aquéllas en las que los transistores empleados para el diseño tienen una longitud de canal mínima cercana o inferior a los 100 nm. No obstante, esta diferencia respecto a tecnologías anteriores no es únicamente de nomenclatura: el salto a las tecnologías nanométricas tiene una serie de implicaciones más profundas que afectan fuertemente al diseño microelectrónico.

Podemos considerar que la tecnología de 130 nm empleada supone una “frontera tecnológica” en la que se comienzan a percibir cambios en el comportamiento y prestaciones de los dispositivos. La inevitable migración hacia estas tecnologías, ya firmemente asentadas en la industria microelectrónica tanto a nivel de diseñadores como de fabricantes, hace necesario profundizar en las características de las mismas. Entre otros factores, las principales razones de su implantación en el diseño microelectrónico son:

- Mayor frecuencia de corte de los transistores, permitiendo frecuencias de funcionamiento superiores.
- Menor disipación de potencia, debido a la disminución de las tensiones de alimentación
- Menor ocupación de área, a raíz del escalado de las dimensiones, incrementando la densidad de los circuitos por micrómetro cuadrado.

No obstante, estas ventajas son especialmente favorables en diseños digitales, pero vienen acompañadas de una serie de efectos que generan complicaciones adicionales al diseño analógico y que se comentarán con mayor detalle en apartados sucesivos.

2.1.1 Efectos del escalado en diseño microelectrónico

El principal objetivo de esta fase de recopilación de información sobre tecnologías nanométricas es tanto el conocimiento de los posibles problemas que pueden surgir en el diseño (además de posibles soluciones o alternativas), como la valoración de los riesgos a la hora de abordar el diseño de un convertidor A/D Flash de 6 bits.

Como ya se ha comentado anteriormente, las tecnologías nanométricas se caracterizan básicamente por su longitud de canal inferior (o cercana) al umbral de los 100 nm. Tradicionalmente, la reducción de longitud de canal de los transistores responde a un proceso gradual de disminución en las dimensiones de los dispositivos de forma proporcionada. Este proceso es lo que se conoce como el *escalado tecnológico* y está relacionado con la necesidad de un menor consumo de potencia en los dispositivos. Dicho consumo está condicionado, en general, por diseños digitales donde la densidad de los componentes es mucho mayor.

En los últimos años, las mejoras en los procesos de fabricación – especialmente, CMOS- han propiciado una mejora en las prestaciones de las tecnologías. Hasta hace relativamente poco, la disminución de las magnitudes físicas llevaba aparejada una reducción proporcionada de las magnitudes eléctricas del transistor. Gracias al escalado tecnológico, se ha ido consiguiendo mejorar el rendimiento y alcanzar mayores velocidades de procesado con menores áreas y consumos. No obstante, la progresiva disminución de tamaño ha desembocado finalmente en la imposibilidad de mantener las proporciones físicas y eléctricas de forma similar a la anterior generación de tecnologías. Este hecho genera un doble problema: por un lado, el comportamiento de los transistores comienza a diferir respecto a anteriores tecnologías por la aparición de una serie de efectos; por otro, es necesario disponer de nuevos modelos que permitan diseñar con precisión empleando estas nuevas tecnologías.

Entre las causas fundamentales para estos efectos no deseados pueden destacarse las siguientes:

- Imposibilidad de escalar todos los parámetros por igual.
- Disminución de la longitud de canal (efectos de canal corto).
- Disminución del ancho del óxido de puerta.

Por otra parte, algunos de los principales efectos no deseados [Bas09] que se producen en estas tecnologías son:

- Reducción del rango dinámico de funcionamiento.
- Mayor importancia de las variaciones paramétricas.
- Incremento de las corrientes de fuga.
- Aparición de una corriente de puerta no despreciable.
- Ganancia en corriente limitada.
- Desapareamiento (*mismatch*) por corriente de fuga dominante frente al tradicional.

- Mayor dependencia de efectos parásitos.
- Incremento del ruido de sustrato.

Además de estos efectos más o menos generales, también es importante el estudio de su influencia para cada circuito concreto a diseñar. En el caso que nos ocupa, se intentará identificar qué factores pueden tener una mayor influencia para los diseños propuestos en esta Tesis.

A continuación, se analizan de forma más detallada algunos de los factores más importantes a tener en cuenta para el análisis de estas tecnologías.

2.1.1.1 Escalado en las tensiones de alimentación

Uno de los principales factores a tener en cuenta es el escalado de la tensión de alimentación (V_{DD}) de los transistores, ya que la tensión umbral (V_{TH}) no puede ser escalada en igual medida. Con el paso de una a otra generación de dispositivos, se ha ido reduciendo la tensión de alimentación de los mismos, ganando en un menor consumo y mejores propiedades de disipación de potencia. Hasta ahora, la reducción de todas las magnitudes y dimensiones que influyen en el funcionamiento de los transistores se ha podido realizar de un modo más o menos compensado. Esto ha permitido alcanzar velocidades cada vez mayores sin grandes sacrificios durante varias generaciones de transistores de distintas tecnologías.

El problema que se plantea debido al escalado en las tecnologías nanométricas es que el salto cualitativo al disminuir la alimentación de 2.5 V (para una tecnología de 180 nm) a 1.2 ó 1 V (valores de alimentación para 130 y 90 nm, respectivamente) es mucho mayor en comparación con la disminución llevada a cabo en el valor de la tensión umbral. El hecho de que no pueda producirse un mayor escalado de V_{TH} se debe fundamentalmente a la corriente de corte I_{off} de los transistores. En los dispositivos de efecto campo, esta intensidad viene determinada por la ecuación siguiente:

$$I_{off} \approx I_{VT} \cdot 10 - V_T / S \quad [2.1]$$

donde I_{VT} es la intensidad para la que se define V_{TH} , S es la variación de *subthreshold* (parámetro tecnológico dependiente de la temperatura, típicamente 90 mV/década). Por tanto, el escalado de la tensión umbral está limitado para no superar unos ciertos valores de I_{off} que garanticen un funcionamiento correcto de los dispositivos. Las restricciones que nos imponga esta corriente vendrán dadas por características de consumo o de funcionamiento, según las distintas aplicaciones de los circuitos diseñados. La alternativa más fiable pasa por hacer una optimización de los valores de alimentación y umbral en los diseños, atendiendo a consideraciones de velocidad, rendimiento y consumo.

A continuación se muestra una tabla donde se recoge la evolución de los parámetros en el escalado de las sucesivas tecnologías [Ste11], pudiendo observarse cómo efectivamente han ido variando las proporciones entre magnitudes al escalar en sucesivas tecnologías.

L_{min} [nm]	T_{ox} [nm]	V_{DD} [V]	V_{TH} [V]	f_T [GHz]	g_m/g_{ds}
250	6.2	2.5	0.44	35	15.2
180	4.45	1.8	0.43	53	12.5
130	3.12	1.2	0.34	94	11.1
90	2.2	1	0.36	140	10.6
65	1.8	0.9	0.24	210	6.1

Tabla 2.1- Evolución de los parámetros tecnológicos en tecnologías CMOS

Entre los efectos provocados por la disminución de la tensión de alimentación, destacan:

- La disminución del rango dinámico. A menores longitudes de canal el recorte en V_{DD} es mucho mayor que el conseguido en V_{TH} , con el consiguiente deterioro del rango de señal útil. A esto hay que sumar la influencia de las corrientes de fuga sobre el *mismatch* de los dispositivos, que se incrementa en tecnologías nanométricas.
- La disminución de los márgenes de ruido para señales digitales, al disponer de menores amplitudes de señal utilizables por parte del diseñador.

2.1.1.2 Reducción de la longitud de canal de los transistores

Otro de los factores que tiene una mayor importancia en las tecnologías nanométricas es la reducción de la longitud de canal (L_{min}). Éste es el parámetro que se utiliza para la descripción de las diversas tecnologías y uno de los que mayor influencia posee por los efectos que genera su escalado.

Es interesante analizar las consecuencias de su reducción, tanto a nivel de funcionamiento como del propio modelado y aproximación al diseño. Aquí se acentúan una serie de problemas que ya se han venido comentando anteriormente acerca de los modelos de comportamiento del transistor.

Tradicionalmente, las ecuaciones que describen el comportamiento del transistor están basadas en las hipótesis de canal largo, lo que permite una simplificación de los cálculos sin gran pérdida de precisión. En tecnologías nanométricas el canal se ve reducido a dimensiones en las que esta hipótesis ya no es aplicable, generándose tanto la necesidad de aplicar nuevas técnicas (puesto que las clásicas ya no son tan efectivas) como de adaptarse a los cambios en el comportamiento de los propios dispositivos.

Por otra parte, el hecho de la propia disminución en la longitud genera una serie de efectos no deseados que sí influyen en el comportamiento de forma más apreciable y han de ser incluidos convenientemente en las simulaciones a la hora de afrontar el diseño. Estos son los denominados efectos de canal corto, que se manifiestan principalmente en las siguientes consecuencias:

- Incremento de las corrientes de fuga.
- Disminución de la resistencia de entrada, que acarrea un incremento en la intensidad de puerta dejando de ser despreciable.

A continuación se analizan con mayor detalle las causas y consecuencias de estos efectos.

2.1.1.2.1 Efectos de las corrientes de fuga

Las corrientes de fuga son corrientes residuales generadas por efectos parásitos, cuya principal desventaja en circuitos digitales es que incrementan el consumo de potencia. En condiciones normales, el consumo de los dispositivos mientras no están conmutando es despreciable frente a la potencia utilizada en las transiciones. No obstante, en tecnologías nanométricas se ha producido un incremento en dichas corrientes que puede resultar en consumos significativos de potencia, especialmente en diseño digitales de gran complejidad y elevada densidad.

Entre las corrientes de fuga se distinguen básicamente dos tipos:

- Intensidad de *subthreshold*.
- Intensidad de puerta.

En el caso de la intensidad de *subthreshold*, se trata de una corriente que va del drenador a la fuente cuando la tensión a la que se somete al transistor está por debajo del umbral V_{TH} (en la fase no activa de funcionamiento). La magnitud de esta intensidad se ve incrementada por el efecto del mayor escalado de la longitud de canal respecto a V_{TH} , con el consiguiente consumo de potencia adicional.

Estos efectos de canal corto son, en general, difícilmente solucionables mediante técnicas de diseño, y dependen más bien de la fabricación de los dispositivos (niveles de dopado, estructura de las regiones de difusión, etc.). Se estima que están bajo control si la anchura del óxido de puerta no baja de los 30 Å. Actualmente, ésta es una de las principales limitaciones para que el escalado se produzca de forma proporcionada.

Contra el consumo estático debido a corrientes de *subthreshold*, existen varias técnicas basadas en distintos esquemas de diseño, tales como usar *stacks* de transistores o transistores con varios V_{TH} . Estas técnicas se utilizan sobre todo en circuitos digitales, donde la intensidad de fuga resulta apreciable en caso de que los transistores no actúen durante periodos de tiempo relativamente grandes.

2.1.1.2.2 Corriente de puerta no despreciable

Otro efecto parásito fundamental es la aparición de una corriente de puerta que deja de ser despreciable respecto a tecnologías tradicionales [Roy03]. Esto supone, por una parte, un replanteamiento de los modelos empleados en programas de diseño asistido que tradicionalmente no computaban su valor. Su influencia es notable a partir de una longitud de canal de 90 nm, donde debe ser estimada porque constituye una parte no despreciable del consumo estático de los circuitos. Por otra parte, la presencia de una corriente de base en los transistores provoca que la resistencia de entrada disminuya, no pudiendo considerarse una resistencia de entrada infinita como en técnicas de diseño tradicionales.

La causa principal de la aparición de esta corriente de fuga es la reducción del ancho de óxido de puerta del transistor. Debido a ello, es más fácil que se produzca el denominado efecto túnel que permite el paso de una corriente parásita a través del ancho de puerta por efectos cuánticos. Existen tres tipos de mecanismos que controlan el efecto túnel entre la puerta y el sustrato o el canal:

- Efecto túnel de electrones de banda de conducción
- Efecto túnel de electrones de banda de valencia
- Efecto túnel de huecos de banda de valencia

Estos mecanismos se distribuyen según el tipo de transistor utilizado, aunque en todos ellos el funcionamiento es similar y se basa en el paso de electrones a través de la barrera de potencial del canal.

Como consecuencia de estas corrientes de fuga en la puerta, se producen una serie de efectos parásitos no deseados [Ann03]. El principal consiste en la modificación de la capacidad puerta-fuente de entrada de los transistores. En tecnologías nanométricas, aparece una frecuencia límite (f_{gate}), cuyo valor viene dado por la expresión siguiente:

$$f_{gate} = \frac{g_{tunnel}}{C_{in} 2\pi} \quad [2.2]$$

donde g_{tunnel} es la conductancia del canal. Por debajo de dicha frecuencia, la capacidad de entrada se ve modificada por la adición de un término resistivo, y la corriente de fuga en la puerta se hace dominante. Por encima de dicha frecuencia, se añade un término capacitivo a la entrada. Como referencia, el valor típico de f_{gate} para tecnologías de 90 nm es aproximadamente de 1 MHz.

En la actualidad, estas corrientes de fuga constituyen uno de los mayores inconvenientes, ya no sólo por el incremento apreciable en el consumo estático, sino por la modificación que pueden generar sus efectos en el funcionamiento de los circuitos en tecnologías por debajo de los 100 nm de longitud de canal [Garg03].

Como consecuencia de esta corriente de fuga en la puerta, se producen una serie de efectos parásitos de cierta importancia:

- Ganancia en corriente limitada
- Efectos de auto-descarga y tasa de caída
- Efectos de *mismatch*
- Ruido

En el diseño tradicional, se tendía a usar transistores de la mayor longitud de canal posible para así conseguir una mayor resistencia de salida o una menor influencia del ruido. No obstante, en tecnologías nanométricas aparece una limitación a la ganancia de pequeña señal en corriente, de manera ésta disminuye (llegando incluso a ser menor de la unidad) conforme aumenta la longitud del canal. En la práctica, para tecnologías por debajo de 100 nm no es recomendable usar transistores con longitudes de canal de tamaños elevados [Ann05].

Los efectos de auto-descarga se producen especialmente en circuitos donde hay dispositivos CMOS usados para almacenar carga como capacidades. Debido a la corriente de puerta, existen pérdidas adicionales que hacen que la tensión almacenada tenga una caída en su valor que puede alterar el máximo tiempo de mantenimiento y la frecuencia mínima de funcionamiento en un circuito de muestreo.

La tasa de caída de carga almacenada en una capacidad CMOS es aproximadamente del orden de la f_{gate} previamente descrita en la ecuación [2.2]. En base a esta relación, para un circuito de muestreo y retención, la caída de tensión que se corresponde con un intervalo de tiempo Δt viene dada por la expresión:

$$\Delta t \approx \Delta V / (\gamma \, dvdt \cdot f_{gate}) \quad [2.3]$$

donde $\gamma \, dvdt$ toma el valor aproximado de 1 V para tecnologías nanométricas. Por ejemplo, para una caída de 1 mV, el máximo tiempo de mantenimiento para una tecnología de 90 nm estaría en el rango del nanosegundo. Esto hace que este tipo de circuitos sean difícilmente realizables con capacidades CMOS para convertidores A/D de baja o media tasa de muestreo. En ese caso, las capacidades deberían realizarse bien mediante transistores de óxido grueso o bien con capacidades inter-metálicas.

Otra consecuencia de la corriente de fuga en la puerta es su contribución al *mismatch* de los dispositivos en estas tecnologías. La corriente de fuga en la puerta se debe al efecto túnel mecánico-cuántico, que depende tanto del ancho de las capas como de la fuerza del campo aplicado. Además, también lleva asociada una dispersión que contribuye al *mismatch*.

Estos efectos de *mismatch* producidos por la corriente de fuga se añaden los del *mismatch* tradicional con una dependencia diferente del área del transistor, de modo que la influencia total viene dada por la expresión siguiente:

$$\frac{\sigma_{ID}^2}{i_D^2} = \left(\frac{\varsigma}{\sqrt{WL}} \right)^2 + \left(\frac{\xi \cdot L^2}{\sqrt{WL}} \right)^2 \quad [2.4]$$

donde el primer término ς representa la influencia del *mismatch* clásico y el segundo ξ se corresponde con el *mismatch* generado a consecuencia de las corrientes de fuga en la puerta. De aquí, extraemos que los métodos tradicionales de reducción del *mismatch* basados en aumentar el área del transistor ya no serían tan efectivos, pues existe una dependencia directa con L que aumentaría el término debido a la corriente de puerta. Esto supone un límite efectivo al área activa que puede usarse en tecnologías nanométricas, para mantener los niveles de matching en valores razonables. En tecnologías de hasta 120 nm, estos efectos aún no son excesivamente apreciables, pero si se baja a longitudes de canal de 90 o 65 nm el mismatch por corriente de puerta tiene un efecto significativo que limita el área activa a 10^4 ó $10^3 \mu\text{m}^2$ [Ann03]. Adicionalmente, en estas tecnologías debe tenerse en cuenta la contribución de ruido por esta corriente, que en algunos casos puede ser incluso más limitante que el tradicionalmente impuesto por ruido térmico.

Otro efecto a tener en consideración es el ruido que puede inducir el incremento de la corriente de puerta a través del transistor en estas tecnologías. Por tener una corriente I_q circulando a través de una unión, va a existir una densidad de ruido asociada a ella que viene dada por la expresión:

$$S_q = 2 \cdot q \cdot I_q \quad [2.5]$$

donde q representa las unidades de carga transferidas. Este ruido debe ser tenido en cuenta como un posible límite en el diseño. La forma más efectiva de limitar su influencia pasa por la disminución en la corriente de puerta.

2.1.1.3 Efectos en circuitos Switched-Capacitors (SC)

Dado que el diseño del convertidor A/D realizado en esta Tesis (Capítulo 4) involucra circuitos de muestreo, se analizan aquí brevemente los posibles errores que pueden aparecer con su uso y cómo el escalado puede afectar al comportamiento de los mismos.

En general, la reducción del voltaje de alimentación hace que el rango de señal se vea limitado y que la señal de entrada tenga que disminuir su rango de variación drásticamente. En concreto, la reducción del rango de alimentación en circuitos analógicos limita la señal de entrada, viéndose afectada la relación señal a ruido (SNR) del dispositivo.

El problema que se plantea con los interruptores es que cuando las señales de entrada se mueven en rangos intermedios comienzan a introducirse no linealidades en la resistencia del dispositivo, siendo por tanto cada vez más acusadas con el escalado de las tensiones característico en estas tecnologías. En consecuencia, cuando los interruptores cargan una capacidad de muestreo a la salida va a introducirse una distorsión como resultado de estas no linealidades en la resistencia [Bul00]. Adicionalmente, el hecho de que las tensiones umbrales no puedan escalar al mismo ritmo que las tensiones de alimentación influirá en mayores resistencias de los interruptores en conducción, provocando que los tiempos de establecimiento sean mayores en circuitos SC.

La resistencia de la fase activa presenta no linealidades fuertemente dependientes de la señal [Fay04], con una relación directa entre la transconductancia (g_{ds}) y las tensiones de entrada y control del interruptor descrita por la expresión siguiente:

$$g_{ds} = \begin{cases} \mu_n C_{ox} \left(\frac{W}{L}\right)_n [V_{DD} - V_{in} - V_{TH,n}] & \text{nMOS} \\ \mu_p C_{ox} \left(\frac{W}{L}\right)_p [V_{in} - |V_{TH,p}|] & \text{pMOS} \end{cases} \quad [2.6]$$

Otro aspecto de gran importancia en los circuitos SC analógicos es el error de carga que se genera en las capacidades a la salida de los interruptores frente a su valor teórico. Este error suele estar provocado principalmente por dos efectos: inyección de carga y *clock feedthrough* [Dai00].

En el caso de la inyección de carga, cuando un interruptor está activo la caída de potencial entre drenador y fuente es aproximadamente cero estando los transistores en triodo. No obstante, en realidad se acumula en el canal debajo de la puerta una carga que afecta a la tensión que se muestrea a la salida y que viene dada por la expresión:

$$Q_{ch} = -WLC_{ox}(V_{GS} - V_{TH}) \quad [2.7]$$

Así, en la capacidad a la salida del interruptor se produce una inyección de carga que puede dar lugar a un error en tensión dado por:

$$\Delta V = \frac{kQ_{ch}}{C_h} = - \frac{k(WL)C_{ox}(V_{GS} - V_{TH})}{C_h} \quad [2.8]$$

donde k representa la fracción de carga que se inyecta en la capacidad C_h . El parámetro k es tecnológico y depende de varios factores, tales como la impedancia vista por cada nodo a tierra o el tiempo de transición del reloj, aunque también de las tensiones de drenador y fuente. La dependencia del error respecto a la entrada se refleja a través de V_{TH} y V_{GS} , pudiendo ser, además, causa de distorsión.

Por otra parte, en el caso del *clock feedthrough* los errores de muestreo se deben a las capacidades parásitas entre la puerta y el drenador o fuente, que permiten una vía de comunicación directa de carga entre la señal de reloj y la tensión muestreada. El error generado se corresponde con la fórmula:

$$\Delta V' = - \frac{C_{par}(V_{DD} - V_{SS})}{C_h + C_{par}} \quad [2.9]$$

donde C_{par} es la capacidad parásita, V_{DD} y V_{SS} los valores máximo y mínimo de la señal de reloj, respectivamente. Las soluciones más habituales a estos efectos pasan por el uso de técnicas de cancelación tales como topologías completamente diferenciales o un esquema de fases adecuado que permita controlar los interruptores evitando solapamientos en las conmutaciones.

Respecto a la influencia del escalado, los efectos descritos van a verse acentuados por el menor valor de las capacidades, tendiendo el error a incrementarse conforme escalan la tecnologías. Así, el hecho de que las corrientes de fuga se incrementen también influirá, facilitando la descarga de las tensiones almacenadas en capacidades. Este efecto será más perjudicial cuanto más baja sea la frecuencia de operación de los circuitos diseñados.

2.1.2 Conclusiones al estudio de tecnologías nanométricas

A consecuencia del escalado de las tecnologías, se dispone en la actualidad de mejores prestaciones en los dispositivos semiconductores, especialmente en términos de velocidad, área y consumo. No obstante, como consecuencia de dicho salto tecnológico, aparecen a su vez una serie de efectos que pueden modificar el comportamiento de los dispositivos. Los principales identificados en tecnologías nanométricas se resumen a continuación:

- Reducción del rango dinámico de funcionamiento.
- Mayor influencia de las variaciones paramétricas.
- Incremento de las corrientes de fuga.
- Aparición de una corriente de puerta no despreciable.
- Ganancia en corriente limitada.
- *Mismatch* por corriente de fuga dominante frente al tradicional.
- Mayor dependencia de efectos parásitos.
- Incremento del ruido de sustrato.

Estos aspectos deben tenerse en cuenta no sólo a nivel de dispositivos, sino también arquitecturalmente a la hora de abordar un diseño microelectrónico. Entre las principales limitaciones señaladas, dos ejemplos ilustran claramente esta tendencia:

- La limitación de la ganancia en corriente, que dificulta el uso de topologías basadas en transconductores de alta ganancia.
- La disminución del rango dinámico, que hace más complicado polarizar los dispositivos de forma adecuada y dificulta el uso de estructuras en cascada tradicionalmente empleadas para obtener mayores ganancias.

En el caso particular del convertidor implementado en esta Tesis (Capítulo 4), se han estudiado los posibles efectos de las tecnologías nanométricas en esquemas de tiempo discreto basados en interruptores. En concreto, el mayor impacto puede venir por dos efectos: inyección de carga y *clock feedthrough*. En tecnologías modernas, el menor valor de las capacidades provoca que el error en el muestreo de las tensiones sea de mayor magnitud. Adicionalmente, el hecho de que las corrientes de fuga se incrementen también afectará a la descarga de las capacidades en tecnologías nanométricas, aunque de forma más acusada a frecuencias de operación medias y bajas.

2.2 Convertidores A/D de alta velocidad y bajo consumo

El escalado en las dimensiones de las tecnologías de fabricación ha ido permitiendo progresivamente la integración de cada vez más transistores en un único chip, abriendo el camino a las comunicaciones en sistemas móviles y portátiles a alta velocidad. Este auge de las comunicaciones inalámbricas puede catalogarse como uno de los mayores éxitos de la ingeniería en la época moderna, puesto que no sólo ha generado un crecimiento tecnológico de primer nivel sino que ha tenido un impacto descomunal en términos sociales y económicos. A día de hoy, resulta difícil imaginar los hábitos de la sociedad y la implicación tecnológica de la mayor parte de la población sin la posibilidad de disponer de una total conectividad en casi cualquier parte del mundo.

Como consecuencia de esto, se ha producido en los últimos años un creciente auge de estándares inalámbricos (*wireless*) de comunicación, tales como UWB, GPRS, Wi-fi (802.11), WiMax, Bluetooth, ZigBee, IrDA, RFID, etcétera. Debido a esto, las necesidades a nivel de sistema de los dispositivos han ido evolucionando hacia unos requerimientos de velocidad y consumo cada vez más restrictivos. En concreto, la conversión A/D constituye una de las tareas de mayor importancia y mayor consumo entre los bloques de cualquier sistema electrónico de comunicaciones moderno.

Desde este punto de vista, la demanda continua de mayores prestaciones a nivel de sistema ha llevado a los convertidores a unas especificaciones cada vez más exigentes de velocidad y/o resolución. Dado que la mayoría del consumo actual se centra en dispositivos portátiles, usualmente alimentados mediante baterías, el consumo energético de los mismos debe además mantenerse acotado. Como consecuencia de esta situación, existe una demanda creciente de convertidores A/D cuyas prestaciones están orientadas a un procesamiento de datos masivo a grandes velocidades y con consumos extremadamente bajos, provocando que el incremento de la eficiencia energética sea un tema de gran interés en la actualidad. En concreto, datos recolectados de la literatura técnica durante los últimos años muestran que la eficiencia de los convertidores A/D se ha duplicado cada dos años [Mur13].

Teniendo esto en cuenta, a continuación se recogen algunas de las técnicas de diseño empleadas más comunemente por la comunidad investigadora para mejorar la eficiencia en el consumo de circuitos analógicos y de señal mixta, con especial atención a aquellas con aplicación en sistemas de conversión A/D. Las principales líneas pueden clasificarse en las siguientes categorías esenciales:

- Técnicas de compensación digital (*digitally assisted*).
- Simplificación de la circuitería analógica.
- Técnicas de submuestreo.

En los próximos apartados, se describirá de forma general en qué consiste cada una de las técnicas, aportando diversas soluciones empleadas en cada una de las categorías, así como referencias a trabajos relevantes en dichas áreas.

2.2.1 Técnicas de compensación digital

Las recientes tecnologías CMOS han abierto una posibilidad de gran interés en el campo del diseño de convertidores A/D mediante el traslado de la complejidad en la circuitería analógica al ámbito digital. Gracias a la posibilidad de alcanzar frecuencias mucho más altas a un coste energético menor, es posible usar circuitos digitales para compensar efectos tradicionalmente solventados de forma analógica. La complejidad adicional que requiere el procesamiento digital de las señales puede compensarse gracias a la relajación de los requerimientos de la parte analógica, dando lugar a una mayor eficiencia energética de los diseños.

La aplicación de técnicas de procesamiento digital se ha convertido actualmente en un tema de gran relevancia en el diseño de convertidores A/D. Algunas arquitecturas tradicionales de convertidores (por ejemplo, convertidores de aproximación sucesiva –SAR- o Sigma-Delta – $\Sigma\Delta$ -) pueden considerarse asistidas digitalmente por el abundante uso que realizan de la lógica CMOS digital. Por una parte, las técnicas de sobremuestreo empleadas en dichas arquitecturas de

forma clásica pueden ahora extenderse a otras arquitecturas de convertidores gracias al uso más eficiente del procesado digital que permiten las tecnologías nanométricas. Por otra parte, existen también líneas de investigación dedicadas a la compensación de errores en el plano analógico (tales como el *mismatch* o el *offset* de los comparadores) mediante arquitecturas basadas en redundancia o calibración digital en lugar de técnicas analógicas de compensación de gran coste energético. En los apartados siguientes, se analizarán algunas de las técnicas más empleadas, así como algunos ejemplos de diseño relevantes.

2.2.1.1 Calibración digital y redundancia

Como se ha comentado previamente, los circuitos analógicos sufren determinadas dificultades debido a la reducción del tamaño de los transistores MOS. Una de las técnicas más habituales empleadas para la compensación de errores es el uso de esquemas de calibración digital, normalmente mediante arquitecturas de conversión A/D basadas en redundancia.

Los convertidores A/D de tipo flash han sido una arquitectura ampliamente utilizada en comunicaciones inalámbricas a altas frecuencias. De forma tradicional, este tipo de convertidores se caracterizan por emplear topologías de muy alto consumo, con varias etapas de ganancia para la compensación de *offset*. En la actualidad, existen diversas tendencias de diseño para solventar estos problemas, la mayoría basadas en redundancia de comparadores, con especificaciones más relajadas, combinados con compensación digital de las desviaciones causadas por *offset* y *mismatch*. Una primera aproximación sería la mostrada en [Fly03], donde se implementa un banco de comparadores con factor de redundancia cuatro sin preocuparse de sus propiedades de *mismatch* y *offset*, relajando así sus especificaciones para disminuir el consumo analógico drásticamente. En una fase de calibración inicial, los comparadores más adecuados al rango de entrada deseado se seleccionarían, mientras que el resto -no necesarios en la comparación- quedarían desactivados sin contribución al consumo del sistema.

Otro ejemplo de compensación puede encontrarse en [Sun09], donde se emplean las propias variaciones debidas a procesos de fabricación para generar las referencias de entrada. Dichos valores son procesados analógicamente por comparadores con *offset* aleatorios y posteriormente se emplea calibración digital para optimizar la resolución y el rango de señal del convertidor. Existen numerosas aproximaciones similares combinando redundancia y métodos de corrección digital de errores que pueden implementarse de forma similar. En este sentido, tenemos por ejemplo convertidores A/D con DACs de *trimming* de corriente para compensación de errores que minimizan el *offset* de los comparadores [Par07]; también pueden diseñarse esquemas con redundancia parcial –o con comparadores adicionales- que se usan para realizar una calibración en segundo plano que se ejecuta sin interrumpir la conversión [Kij09].

2.2.1.2 *Time-Interleaving*

Las técnicas de *Time-Interleaving* (TI) se basan en el uso de M canales adyacentes mediante la toma de muestras de forma alternativa de cada uno de ellos. En consecuencia, el convertidor A/D implementado se comportaría como un sistema que opera a una frecuencia M veces superior a la de cada uno de los canales individuales. Esta técnica permite operar a frecuencias más elevadas sin un gran coste adicional en el diseño analógico, por lo que es muy empleada en sistemas de adquisición de datos de alta capacidad [Gar12a]. No obstante, el desapareamiento entre los distintos canales va a reducir significativamente la resolución de los sistemas, debido principalmente a errores de ganancia, *offset* y *clock skew*. Por ello, suele ser necesario compensar dichos errores empleando técnicas de calibración digital o algún tipo de post-procesado de la señal.

En el diseño presentado en [Cao09] puede encontrarse un convertidor A/D de 6 bits trabajando a 1.25 GHz sin necesidad de calibración durante la conversión ni corrección de errores. La arquitectura propuesta emplea dos convertidores SAR combinados con convertidores de tipo flash aplicando *Time-Interleaving*. Considerando la conversión SAR como una concatenación de procesos de conversión SAR de menor número de bits, se sustituyen bloques SAR por flash en estos procesos de menor resolución (subconversión). De esta manera, se reduce el número de comparadores de 65 a 6, permitiendo una disminución de consumo por debajo del estado del arte de convertidores flash en el momento de publicación, sin necesidad de técnicas de calibración digital.

Otro ejemplo de estructura *Time-Interleaving* se describe en [Alp09], donde el esquema propuesto se basa en 16 convertidores A/D trabajando en paralelo a 1.25 GHz con dos bloques adicionales que permiten realizar una calibración en segundo plano para compensar errores de *mismatch* y *offset*. La calibración temporal puede efectuarse, gracias al ajuste de una línea de retraso programable, durante la transmisión de los paquetes de cabecera del estándar de comunicación empleado en la transmisión de datos.

2.2.1.3 *Procesado en el dominio del tiempo*

Gracias a la evolución de las tecnologías CMOS, es posible disponer de mayores anchos de banda de operación por parte de los diseñadores analógicos. En consecuencia, los sistemas que procesan las señales en el dominio del tiempo pueden beneficiarse de la mejora en velocidad para la obtención de mayores resoluciones. Arquitecturas tradicionales basadas en la conversión en tiempo, tales como convertidores de doble rampa, pueden alcanzar grandes resoluciones a costa de grandes tiempos de conversión. No obstante, con el avance tecnológico en los últimos años, estas arquitecturas ya no están limitadas únicamente a aplicaciones de baja velocidad.

Un ejemplo claro de elevada eficiencia energética usando procesado en el dominio del tiempo y gran cantidad de lógica digital es la arquitectura presentada en [Yan05,06]. En ella, se propone un convertidor en modo corriente que trabaja como un convertidor *pipelined* realizando la amplificación de residuo y sustracción en el dominio del tiempo sin necesidad de amplificadores convencionales. El convertidor está realizado únicamente con dos capacidades apareadas, un comparador y una fuente de corriente de referencia muestreada controlada por una máquina de estados digital. Al utilizar únicamente un comparador y una referencia de corriente para el proceso completo de conversión, el convertidor tiene un consumo mínimo y se evitan las imprecisiones provocadas por errores de ganancia y *offset*.

Por otra parte, en [Jim11] se presenta una interesante estructura Time-to-Digital Converter (TDC) de alta eficiencia energética. La arquitectura elegida implementa un algoritmo recursivo de aproximación sucesiva en el dominio del tiempo para realizar la conversión mediante circuitería digital de baja tensión y muy bajo consumo.

Otro ejemplo de un esquema simplificado para disminuir el consumo puede encontrarse en el convertidor $\Sigma\Delta$ en tiempo continuo de [Col08]. En él, se sustituye el cuantizador flash de N-bits por un comparador asíncrono, obteniendo como resultado una codificación de la señal realimentada en el dominio del tiempo similar a una señal PWM.

2.2.2 Simplificación de la circuitería analógica

En secciones anteriores, se ha ilustrado la forma de trasladar con eficacia la mayor parte de la complejidad analógica al dominio digital mediante diversas técnicas. Otra aproximación complementaria para mejorar la eficiencia energética puede ser la basada en el diseño de subcircuitos analógicos más simples que permitan una reducción del consumo e incremento de la velocidad. Estas técnicas incluirían no sólo estrategias a nivel de arquitectura como en el caso anterior, sino topologías más sencillas a nivel de bloques básicos que puedan emplearse en diversas estructuras.

A continuación, se incluyen algunas de las técnicas de simplificación más interesantes empleadas en el diseño de circuitos analógicos, que pasan esencialmente por distintos métodos de reducción del número de amplificadores operacionales, bien mediante su compartición, eliminación o sustitución empleando componentes alternativos.

2.2.2.1 Interpolación

Las técnicas de interpolación son métodos de simplificación a nivel de sistema ampliamente utilizados en el diseño de convertidores de tipo flash. En este tipo de arquitecturas, con elevado número de comparadores, es necesario, además, el uso de amplificadores en la cadena de conversión para corregir los errores de *offset*. En la práctica, esto se traduce en un incremento de área y consumo difícilmente admisible. Por ello, es habitual el uso de técnicas de interpolación para simplificar la arquitectura y obtener todos los niveles de referencia necesarios para la comparación sin un coste energético desorbitado.

Una de las técnicas tradicionalmente empleadas es la interpolación resistiva [Pla03], aunque para un número elevado de componentes se produce un deterioro de la linealidad del convertidor, siendo necesarias referencias adicionales. Para solventar este problema suelen emplearse técnicas de interpolación capacitiva, aprovechando el hecho de que la precisión alcanzada en los procesos de fabricación para tecnologías actuales es superior para las capacidades respecto al uso de resistencias. En el esquema descrito en [San05], se implementa un convertidor flash de 6 bits a 1 GHz empleando interpolación capacitiva, aprovechando las propias capacidades de interpolación para implementar de forma distribuida un circuito de muestreo y retención (*sample & hold*), con el consiguiente ahorro en consumo.

2.2.2.2 Switched opamp y opamp sharing

Habitualmente, el bloque analógico que domina el consumo de potencia en un convertidor A/D es el amplificador operacional. Además de soluciones que pretenden disminuir su número mediante interpolación, existen técnicas para minimizar su consumo activo o emplear los amplificadores de forma compartida entre varios bloques. Esto es posible ya que en la mayoría de sistemas basados en capacidades conmutadas (SC), el funcionamiento activo del amplificador sólo se requiere en una de las fases de reloj. En consecuencia, existen dos técnicas ampliamente utilizadas en circuitos SC [Kim06] para optimizar el uso (y consumo) de los amplificadores: la primera se basa en compartir el mismo opamp entre dos etapas sucesivas (*opamp sharing*), mientras que la segunda los desconecta durante la fase en la que no es necesario que estén activos (*switched opamp*).

Para implementar *opamp sharing*, dos etapas adyacentes funcionando con fases de reloj complementarias pueden compartir el mismo opamp para realizar su función sólo en la fase en la que éste se requiere activo para la conversión. Esta técnica está muy extendida para su uso en convertidores A/D de tipo *pipelined*, como en [Has07] [PalB12] o [Sas09], aunque puede aplicarse también a otras topologías basadas en amplificadores operacionales.

Las técnicas de *switched opamp* (SO) se extendieron enormemente con la reducción de tensiones de alimentación, debido a las dificultades que generaba el diseño de interruptores de calidad con la disminución del rango de señal. En la actualidad, el uso de estas técnicas puede suponer un ahorro de entre el 30% y el 40% del consumo total mediante la desconexión de la etapa de salida del opamp durante la fase de integración. No obstante, su aplicación de forma más amplia arroja resultados de gran interés. Por ejemplo, en [Wang09] el consumo total de los amplificadores se reduce hasta un 50% mediante la desconexión no sólo de la salida sino de las dos etapas del opamp, incluyendo el circuito de realimentación de modo común.

Adicionalmente, ambas técnicas son compatibles entre sí, como se muestra en el modulador $\Sigma\Delta$ paso de banda de orden 4 recogido en [Kuo04]. Si una solución basada en una topología de opamps clásica habría requerido hasta cuatro integradores trabajando en dos fases de reloj, mediante la arquitectura propuesta el modulador es implementado únicamente con dos opamps. Ambos son compartidos por dos de los integradores y además empleados de forma conmutada en fases complementarias, permitiendo una reducción drástica del consumo.

2.2.2.3 Eliminación de amplificadores clásicos (*Opamp-less*)

Tradicionalmente, el diseño analógico se basa en gran medida en amplificadores de alta ganancia realimentados negativamente, cuyo consumo tiene un gran impacto en el sistema global. Es por ello que en los últimos años, existe una tendencia a reemplazar los opamps tradicionales por bloques más eficientes en términos de potencia, como comparadores, inversores o estructuras más sencillas basadas en realimentación local. En este apartado, se recogen y explican brevemente algunas de las opciones más populares.

2.2.2.3.1 CBSC¹ o circuitos basados en detectores de paso por cero

La técnica CBSC fue propuesta en [Fio06] para su aplicación a cualquier circuito SC basado en amplificadores operacionales. La idea fundamental consiste en sustituir los opamps por un comparador o un detector de cruces por cero y una o varias fuentes de corriente conmutadas controladas por la salida del bloque. El ahorro de consumo respecto a un opamp tradicional es producto de emplear una estrategia más eficiente para el sensado de la tierra virtual. En términos de potencia, forzar el nodo de tierra virtual a la entrada del opamp durante todo el tiempo consume mucho más que sensar la tierra virtual mediante un comparador como propone la técnica CBSC [Ytt10].

¹ CBSC: *Comparator Based Switched Capacitors*

La utilidad práctica de esta técnica ha sido probada en diseños en tecnologías actuales, consiguiendo resultados que demuestran gran eficiencia energética. Así, en [Shi08] se presenta un convertidor A/D pipelined de 10 bits basado en un detector de cruces por cero fabricado en tecnología CMOS de 65 nm. Otra implementación de dicha técnica puede encontrarse en [Bro09], donde el convertidor diseñado (también de tipo *pipelined*) posee 12 bits de ENOB operando a 50 MHz con muy alta eficiencia energética, como muestra el valor de su FoM de 88 fJ/nivel.

2.2.2.3.2 Moduladores $\Sigma\Delta$ basados en inversores

El uso de esta técnica se caracteriza por sustituir los amplificadores por simples inversores, dando lugar a estructuras mucho más simplificadas con consumos altamente reducidos. Los inversores ya habían sido aplicados con anterioridad al diseño de circuitos SC [Hos79], aunque sus prestaciones respecto a los opamps eran muy limitadas. No obstante, con el escalado de las tecnologías, el uso de inversores vuelve a resultar tremendamente atractivo debido a su capacidad de operar a muy bajas tensiones. Los diseños basados en inversores han demostrado ser muy eficientes, especialmente en circuitos de altas prestaciones implementados en tecnologías nanométricas.

Por ejemplo, en [Veld08] se presenta un modulador $\Sigma\Delta$ en una tecnología CMOS de 65 nm empleando una arquitectura altamente digitalizada, con un cuantizador de 5 bits y un filtro digital que reducen la complejidad del DAC realimentado. El filtro de bucle analógico de primer orden, implementado con inversores, reduce las partes analógicas a la mínima expresión, con el consiguiente ahorro en consumo. Por otra parte, en [Cha09] se usa el comportamiento del inversor como un amplificador extremadamente simplificado. En dicho esquema se presentan tres moduladores $\Sigma\Delta$ en tiempo discreto, de segundo y tercer orden, implementados completamente mediante inversores. En todos los casos, se consiguen elevados rangos dinámicos para muy baja tensión de alimentación, con un consumo por debajo del estado del arte en el momento de la publicación.

2.2.2.3.3 Otras aproximaciones *opamp-less*

Además de las técnicas ya descritas, existen algunas otras opciones basadas en la sustitución de amplificadores por otro tipo de estructuras más sencillas. Por ejemplo, en [Lop13] se presenta un convertidor $\Sigma\Delta$ en tiempo continuo donde se emplea una estructura integradora basada en realimentación local en lugar de opciones clásicas como opamps u OTAs. En el convertidor propuesto, los integradores se implementan usando estructuras más sencillas de seguidores de corriente, los conocidos como FVF (Flipped Voltage Follower) [Car05] en lugar de opamps. De esta manera, se simplifica enormemente la arquitectura del convertidor de datos, optimizando su área y consumo.

Otra posibilidad se ilustra en la arquitectura presentada en [Dra04], donde se usan matrices de convertidores para aprovechar el paralelismo y conseguir mayor eficiencia usando estructuras simples. El diseño de un convertidor A/D de 6 bits operando a 600 MHz se implementa mediante ocho SAR empleando una arquitectura de redistribución de carga sin necesidad de emplear opamps de alta ganancia ni bloques analógicos de alta precisión. El resultado es una circuitería analógica enormemente simple (sólo son necesarios capacidades, interruptores y un comparador) que permite obtener un consumo de apenas 10 mW.

Otro ejemplo de arquitectura alternativa puede encontrarse en [Pla06], donde se propone un esquema flash de 4 bits con arquitectura simplificada basada en comparadores para diseñar un convertidor A/D de alta velocidad y bajo consumo. En este caso, la estrategia para ahorrar consumo pasa por quitar cualquier bloque no estrictamente esencial: muestreo y retención, preamplificadores, escalera resistiva y corrección de errores de burbuja. Se emplea únicamente un comparador que combina muestreo, amplificación y generación de los niveles de referencia para implementar un convertidor A/D con un consumo de potencia de tan solo 2.5 mW.

2.2.3 Submuestreo (*Subsampling*)

Como se ha comentado previamente, una de las tendencias de mayor interés en la conversión A/D en la actualidad pasa por desplazar la mayor parte del procesamiento analógico a la parte digital. A día de hoy, existen numerosos estándares de comunicación debido a la gran aceptación de las tecnologías inalámbricas. En consecuencia, existe una tendencia a diseñar transceptores que puedan ser usados en múltiples estándares. Una de las técnicas con mayor aceptación para este tipo de aplicaciones es el submuestreo, de gran interés en el diseño de transceptores multi-estándar, cuyo caso más representativo es el paradigma SDR (Software Defined Radio), definido por [Mit95]. El transceptor multi-estándar óptimo está definido por una antena, un convertidor A/D y una parte digital que actúa sobre la señal de radiofrecuencia (RF) directamente digitalizada. No obstante, este diseño no es factible debido a las limitaciones de los convertidores hoy en día, que requieren de requisitos por encima del estado del arte.

En ese sentido, el submuestreo es una técnica ampliamente utilizada para el diseño de transceptores aplicables a múltiples estándares, relajando las especificaciones de los bloques analógicos necesarios para una tasa de datos elevada. Mediante esta técnica, la señal de RF es muestreada empleando una frecuencia por debajo de la máxima frecuencia de entrada, pero al menos dos veces mayor que su ancho de banda. De esta manera, una de las réplicas de baja frecuencia obtenida del proceso de muestreo, que contiene a la señal de banda base, es directamente digitalizada [Gra68][Vau91].

La principal ventaja de esta técnica es la flexibilidad, ya que mediante el uso de un bloque de muestreo y retención que genera las replicas de la señal de RF se relajan las especificaciones de los bloques constitutivos analógicos en el convertidor y la mayoría del procesamiento se efectúa digitalmente. No obstante, es necesario tener en cuenta que el bloque de muestreo requerirá un elevado ancho de banda y una baja apertura de *jitter*, además de incrementar el ruido térmico en la banda de interés por efecto del muestreo.

Una de las principales aplicaciones de esta técnica es el diseño de receptores multi-banda inalámbricos, como en [Gar12b,12c], donde se presenta un módulo de adquisición de datos de altas prestaciones y bajo coste, que permite digitalizar la señal de RF en la mayoría de estándares inalámbricos. Así, en [Gar11], empleando una señal de entrada de ancho de banda de 20 MHz, se consiguen 8.5 bits de resolución para una frecuencia de portadora programable con rango entre 0-3.3 GHz, y más de 8 bits para hasta 4 GHz, cubriendo los estándares inalámbricos más importantes (GPRS, Bluetooth, Wi-Fi, WiMAX).

Otro ejemplo interesante de aplicación se recoge en [Kwa12], donde se emplea el submuestreo para la implementación de un sistema cognitivo de radio (CR) cuyo principal objetivo es el desarrollo de una “inteligencia flexible” aplicable a radios, móviles y sistemas inalámbricos en general. Mediante esta tecnología, se pretende que los dispositivos sean capaces de localizar y conectarse a cualquier frecuencia del espectro de RF para obtener acceso a servicios.

2.2.4 Conclusiones sobre estado del arte de ADC de alta velocidad

A lo largo de esta sección se han ido desgranando diversas técnicas cuya aplicación puede resultar de utilidad para el diseño de convertidores A/D de muy bajo consumo y alta frecuencia.

Las técnicas mostradas pueden aplicarse a diversas arquitecturas en función de las necesidades del sistema de conversión, tomando en consideración la situación ilustrada en la figura 2.1. Podemos apreciar que, en función de la resolución deseada y el ancho de banda requerido por la aplicación, será más recomendable una u otra arquitectura. En el caso del diseño de esta Tesis Doctoral, se ha optado por un convertidor A/D de tipo flash para implementar un diseño de 6 bits para aplicaciones inalámbricas siguiendo el estándar Ultra-WideBand (UWB).

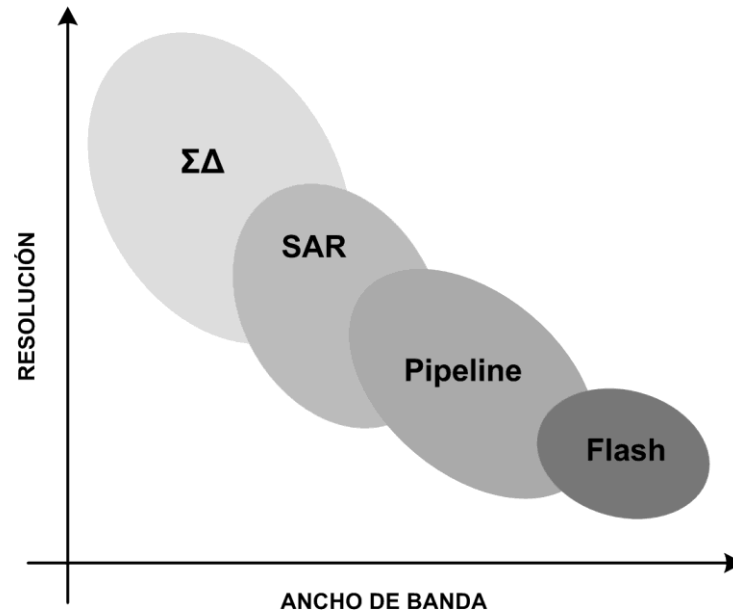


Figura 2.1 -Arquitecturas de conversión más utilizadas, en función de las especificaciones de resolución y velocidad.

Sobre la topología básica de un convertidor flash, se emplearán algunas de las técnicas reseñadas para obtener una mejora de las prestaciones en consumo frente a esquemas tradicionales. Así, se diseñará un esquema empleando técnicas de interpolación para disminuir el número de amplificadores, además de implementar una técnica de calibración novedosa para compensación de *offset* y mismatch en el dominio analógico. Más detalles de la implementación del convertidor pueden encontrarse en el Capítulo 3 de esta Tesis.

2.3 Aplicaciones microelectrónicas en entornos de alta radiación

A lo largo de los últimos años, la evolución de los diseños microelectrónicos ha permitido un significativo avance de las comunicaciones en numerosos ámbitos. El escalado de las tecnologías ha permitido un incremento de la complejidad de los sistemas prácticamente inimaginable hace una década. En apartados previos, se han comentado las peculiaridades que el escalado genera en los dispositivos teniendo en cuenta únicamente las prestaciones que las tecnologías pueden proporcionar. No obstante, existen además una serie de efectos “externos” que deben tenerse en cuenta para aplicaciones donde el funcionamiento de los sistemas electrónicos es crítico, tales como aplicaciones militares, espaciales, nucleares, etc. En este tipo de sistemas donde un error puede tener consecuencias catastróficas, es más necesario que nunca el diseño de sistemas tolerantes a fallos.

Adicionalmente, el escalado de las tecnologías CMOS no sólo ha incrementado las posibilidades de las tecnologías, sino también su sensibilidad ante posibles errores. La presencia de partículas de alta energía en entornos hostiles (nucleares, espaciales, etc) puede afectar a los diseños microelectrónicos, constituyendo una seria amenaza en forma de Efectos de Eventos Singulares (SEE) [Jau08]

Los efectos en semiconductores debidos a partículas ionizantes fueron descubiertos por primera vez en varias anomalías detectadas en las primeras misiones de la carrera espacial, siendo éstas reportadas casi desde el principio de la misma [Vel07]. En enero de 1958, el satélite Explorer I fue lanzado al espacio por Estados Unidos, equipado con varios detectores Geiger para medir rayos cósmicos en un experimento ideado por Van Allen. A una altura de 900 kms. los contadores dejaron de contar partículas de forma misteriosa. Posteriormente, se descubrió que éstos habían saturado al encontrar un flujo de partículas mucho mayor del esperado en el espacio exterior, que en posteriores misiones fue atribuido a la presencia de una zona de elevada densidad de radiación alrededor de la tierra (los llamados cinturones de Van Allen). En concreto, existen dos regiones diferenciadas, consistentes principalmente en electrones de alta energía por un lado (cinturón exterior, 13000-60000 kms.) y en una combinación de protones y electrones por otro (cinturón interior, 100-1000 kms.).

Algunos años más tarde, la NASA lanzó el satélite de telecomunicaciones Telstar I, inaugurando la era de la telecomunicaciones vía satélite en 1962. En ese mismo año, se había llevado a cabo la detonación de una bomba termonuclear a gran altitud como un experimento nuclear por parte del gobierno estadounidense, que tuvo como consecuencia un incremento de la cantidad de electrones en el campo magnético de la Tierra. Esto generó a su vez que la influencia de los cinturones de Van Allen sobre los dispositivos electrónicos del satélite Telstar se incrementara dramáticamente. Tras varios fallos producidos durante casi un año de operación, el satélite perdió finalmente la comunicación quedando fuera de control. No obstante, este no es un hecho aislado, sino que numerosas anomalías en dispositivos electrónicos causadas por radiación natural (procedentes del viento solar, rayos cósmicos o los cinturones de Van Allen) han sido registradas durante años. De hecho, en [SND13] puede consultarse una base de datos de fallos de satélites en órbita desde el comienzo de la carrera espacial.

En concreto, en esta Tesis nos centraremos en el diseño robusto ante radiación de sistemas electrónicos cuyo objetivo es funcionar en el espacio. En los apartados siguientes, se explicarán los diversos factores a los que puede estar expuesto un sistema microelectrónico para aplicaciones espaciales, clasificándose éstos según los posibles efectos generados en el mismo. Además, se abordará la necesidad de una herramienta de análisis que permita facilitar la labor del diseñador para asegurar un diseño robusto y eficiente ante las posibles amenazas a que los circuitos pueden verse sometidos en el espacio.

2.3.1 Efectos de la radiación en dispositivos semiconductores

Como ya se ha comentado previamente, los efectos de la radiación aceleran el desgaste de los materiales y la electrónica, generando una degradación de las prestaciones de los circuitos y sistemas [Mog13][PalF12]. Esto tiene como consecuencia que puedan producirse fallos de cierta gravedad que comprometan la fiabilidad del sistema, lo que en determinadas aplicaciones resulta inadmisibile. En el caso de las aplicaciones en sistemas espaciales, sometidas a condiciones de radiación muy exigentes, esto supone un reto a nivel de diseño y arquitectura que debe ser tenido muy en consideración. Debido a esto, se hace necesario seguir una metodología muy estricta para asegurar el funcionamiento correcto de los circuitos diseñados durante la vida útil del sistema, de manera que pueda garantizarse su funcionamiento en entornos con radiación.

Los dispositivos microelectrónicos y circuitos integrados pueden ser expuestos a un amplio rango de entornos de radiación, con diversos tipos de partículas, cantidades de energía, flujos, etc. Dependiendo de dichas variaciones, existen diversos efectos que hacen variar la degradación generada por la radiación, de manera que no resulta sencillo determinar las vulnerabilidades de los circuitos, en tanto que pueden ser robustos frente a un entorno mientras verse afectados por otro diferente. A continuación, describimos los principales efectos a los que pueden verse sometidos los circuitos en aplicaciones para el espacio.

De forma general y sin entrar en detalles relacionados con la física de semiconductores, podemos distinguir esencialmente tres tipos de efectos generados por la irradiación de partículas de alta energía en ellos [Mog13]. Estas tres formas de interacción serían las siguientes:

- Activación por reacciones nucleares.
- Efectos de daño por desplazamiento.
- Efectos ionizantes.

En general, todos ellos deben tenerse en cuenta para un diseño fiable en ambientes de alta radiación, aunque en ocasiones resulta difícil separar sus efectos de forma aislada. En todos los casos, las consecuencias van desde una degradación temporal de las prestaciones de los dispositivos, a un fallo permanente que exija un reseteo del sistema o incluso en ocasiones la posible destrucción del dispositivo. A continuación se comentan brevemente los tres casos, con especial énfasis en los efectos debidos a partículas ionizantes, que serán los abordados con mayor profundidad por su influencia para el trabajo presentado en esta Tesis.

2.3.1.1 Activación por reacciones nucleares

Cuando núcleos estables son expuestos a un flujo de partículas energéticas, es posible que puedan volverse inestables y radiactivos debido a reacciones nucleares. Este efecto puede producirse tanto por un flujo de protones, como de neutrones o iones, e incluso por captura de neutrones de baja energía. La reacción producida a raíz de estos acontecimientos estará caracterizada por una sección transversal dependiente tanto de la partícula incidente como del núcleo objetivo, aunque la reacción más común en el espacio exterior es la producida por protones de alta energía. En concreto, la fuente de mayor importancia para estos fenómenos es un flujo intenso de protones localizado a la altura del ecuador del cinturón interior de Van Allen, con energías que van de los 30 a los 400 MeV. Para distintas altitudes, los rayos cósmicos son la principal fuente de activación, mientras que a distancias interplanetarias los protones solares son los que tienen una mayor influencia.

2.3.1.2 Efectos de daño por desplazamiento

Debido al paso de partículas a través de un semiconductor, se producen colisiones elásticas con átomos de la estructura cristalina que pueden resultar en daños por desplazamiento. Estos daños en la red cristalina afectan a la periodicidad de su estructura, pudiendo generar nuevas trampas de energía para electrones en las bandas del semiconductor y alterando la movilidad de las cargas. En consecuencia, pueden producirse efectos tales como la degradación de las prestaciones eléctricas del semiconductor, en forma de incremento en las corrientes de fuga o deterioro de la ganancia en el caso de dispositivos bipolares. Un resumen de efectos por daños de desplazamiento en silicio puede consultarse en [Sro03].

2.3.1.3 Efectos ionizantes

Entre los efectos ionizantes debidos a partículas de alta energía, se distinguen claramente dos tipos de efectos: por un lado, aquéllos por dosis acumulada (*Total Ionizing Dose*, TID), y por otro, los debidos a eventos singulares (SEE). En concreto, resulta de especial importancia el estudio e influencia de los SEE en uniones Metal-Óxido-Semiconductor debido a los errores que pueden provocar en dispositivos CMOS, ya que esta tecnología es dominante en la mayoría de los sistemas electrónicos actuales.

2.3.1.3.1 Acumulación de dosis ionizante (TID)

Cuando partículas ionizantes atraviesan el sustrato de un dispositivo semiconductor, se crea una serie de pares electrón-hueco que pueden recombinarse con otras partículas mediante mecanismos de difusión. Esto genera una carga atrapada en las capas de dieléctrico e interfaces que puede permanecer

en el dispositivo durante largos periodos. En consecuencia, una exposición prolongada a radiación puede generar efectos de ionización por acumulación en los dispositivos. En concreto, la carga generada por ionización en el óxido de puerta de transistores CMOS va a provocar una degradación en las propiedades eléctricas del dispositivo. En general, los efectos de acumulación tienden a ser algo más previsibles con el escalado tecnológico, puesto que los cambios provocados por TID están relacionados linealmente con el nivel de exposición [Bar06].

Por ejemplo, un efecto muy común en los transistores CMOS es un decremento progresivo de la tensión umbral con la dosis acumulada. A consecuencia de esto, se incrementa la corriente de drenador que circula por el dispositivo y se disminuye la tensión de puerta necesaria para su activación, impactando de forma directa en los márgenes de ruido para diseños digitales. En tecnologías nanométricas, el menor ancho del óxido de puerta favorece que la carga no quede atrapada en ella debido a efectos de túnel cuántico. No obstante, la carga atrapada en los óxidos de campo alrededor de los dispositivos provoca la aparición de nuevos caminos para la intensidad de fuga de drenador a fuente, e incluso entre transistores adyacentes, constituyendo la principal contribución a la misma en los transistores CMOS en tecnologías nanométricas por exposición a TID [Bar07].

2.3.1.3.2 Efectos de Eventos Singulares

Estos efectos son casos particulares de ionización en los que el impacto de una partícula de alta energía (ión o neutrón) en zonas activas del semiconductor da lugar a lo que se conoce como eventos singulares. El resultado de los mismos puede ser destructivo o simplemente corromper el funcionamiento del dispositivo en función de la sensibilidad del mismo a estos fenómenos.

El paso de partículas ionizantes por un transistor MOS genera una deposición de carga que provoca una corriente en áreas vecinas, pudiendo generar tensiones transitorias en cargas capacitivas. Este efecto puede modelarse como pulsos de corriente, usando tradicionalmente para ello modelos de doble exponencial con parámetros obtenidos de forma heurística, como se comentará con más detalle en el Capítulo 4 de este documento. La integración de esta corriente es la carga recolectada y está directamente relacionada con la carga depositada por el impacto de la partícula incidente. El parámetro fundamental para evaluar el comportamiento del circuito ante estos efectos es la cantidad de carga, aunque también resulta de interés la forma del pulso de corriente [Hei06]. En este sentido, un concepto de gran interés es el de carga crítica, definida como la carga mínima depositada por un impacto necesaria para cambiar el valor almacenado en un *latch*, generando lo que se conoce como *bit-flip*. Este valor es cada vez menor conforme se van escalando las tecnologías, lo que supone que sea menor el umbral de transferencia lineal de energía (LET) necesario para producir

un *bit-flip*, aunque el área sensible en los diseños también disminuye equilibrando la presencia de dichos efectos. Existen distintos tipos de eventos singulares en función de los efectos provocados en los dispositivos. A continuación, se describen brevemente los más habituales:

- *Single Event Latch-up (SEL)*

Estos eventos normalmente afectan al dispositivo de forma grave, pudiendo provocar su destrucción si no se actúa inmediatamente con circuitos anti-latch-up o estrategias similares. En tecnologías CMOS, la carga generada por la partícula puede accionar una conexión parásita (tiristor) entre los raíles de alimentación y tierra, generando una corriente entre ambos que inutilice el dispositivo. Este efecto sólo puede resolverse abriendo el camino de dicho circuito de alimentación para interrumpir el flujo de corriente. En ocasiones, debido a resistencias parásitas de valores muy elevados, el consumo puede quedar limitado sin que el dispositivo resulte destruido, aunque no es lo más usual.

- *Single Event Transient (SET)*

Cuando una partícula impacta en un dispositivo semiconductor, el efecto inmediato producido es la aparición de un pico de corriente en el diodo (unión pn) afectado. En tecnologías CMOS, esta corriente puede cargar o descargar una capacidad asociada a dicho nodo, generando una rápida variación transitoria en la tensión del mismo. Esto da lugar a pequeños *glitches* que pueden llegar a comportarse como pulsos. Si en el circuito que ocurre este efecto estos pulsos se propagan por algún camino combinacional hasta elementos de almacenamiento como *flip-flops*, existe la posibilidad de que sean capturados y transferidos a otras partes del circuito. Este riesgo se incrementa por un efecto de Ensanchamiento de Pulso Inducido por Propagación (*Propagation Induced Pulse Broadening, PIPB*) [Mog10], que hace que los pulsos transitorios puedan ser capturados en un flanco de reloj con mayor facilidad.

- *Single Event Upset (SEU)*

Este tipo de errores consiste en el cambio de estado de una celda de almacenamiento digital. Un ejemplo típico es el impacto de un ión en una celda SRAM, cuyo efecto genera un cambio de polaridad del valor almacenado en la misma. La carga generada por el impacto crea un desbalanceo que desemboca en el cambio de un bit de información (*bit-flip*). Si este error no se subsana mediante algún tipo de sistema de corrección y reescritura del valor capturado, antes de almacenarse en un registro, éste puede transferirse a otras partes del circuito, propagándose en múltiples direcciones.

En lo referente a esta Tesis, nos centraremos exclusivamente en la influencia de los efectos ionizantes, dedicando especial atención a los efectos singulares no destructivos (SET, SEU).

2.3.2 Diseño robusto a radiación

El diseño robusto a radiación (*Radiation Hardness Assurance* –RHA-, *Radiation Hardened by design* -RHbD) consiste en todas las acciones necesarias para asegurar que la electrónica y los materiales empleados se comporten como en su etapa de diseño tras la exposición a un entorno de radiación. Para ello, se intenta verificar con la mayor exhaustividad posible los efectos de la radiación que pueden afectar a los sistemas bajo test y, en caso de detectar vulnerabilidades, se procede a implementar técnicas para evitar o minimizar los daños. Se trata, por tanto, una de las tendencias de mayor interés y relevancia en el diseño de circuitería electrónica para el espacio en la actualidad. En la Figura 2.2, se muestra un diagrama del flujo de diseño y verificación para diseño robusto a radiación.

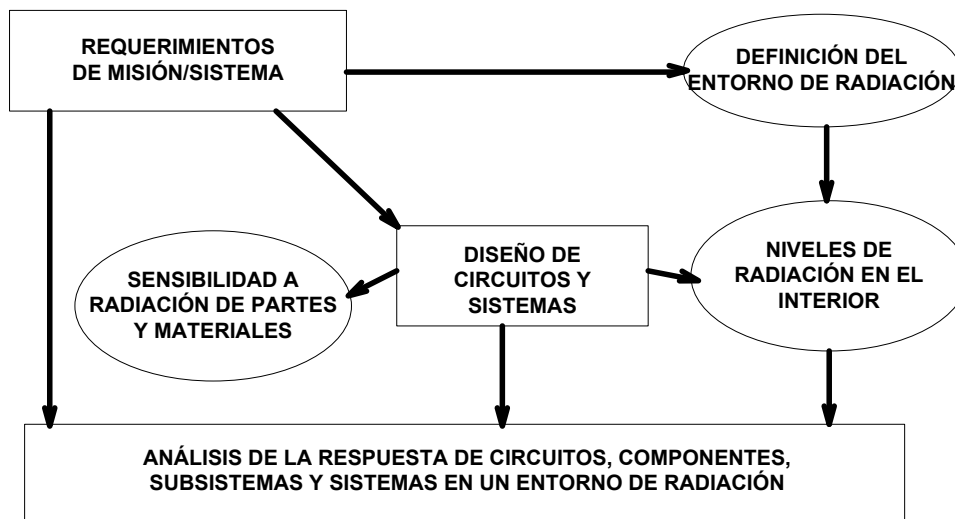


Figura 2.2 - Flujo de diseño y verificación para Diseño Robusto a Radiación (RHA)

Puede observarse que existe una serie de aspectos relevantes, tales como los requerimientos de la misión a la que va dirigido el diseño, los circuitos a implementar en el sistema o los niveles de radiación a los que van a estar sometidos tanto los circuitos como los materiales empleados. No obstante, como primer paso en el desarrollo de tests para determinar la robustez de los diseños, podemos considerar que es clave determinar la naturaleza de las partículas que van a afectar a nuestro sistema.

Para esta labor, en el contexto de esta Tesis podemos considerar dos grandes clases de efectos de entre los ya descritos. Por un lado, estarían los efectos de dosis acumulada (TID), mientras que por otra parte estarían los eventos singulares (SEE) causados por el impacto de partículas de alta energía.

Ambos deben ser tenidos en cuenta en función del entorno y la aplicación a llevar a cabo para una caracterización de los riesgos asumidos y la minimización de sus efectos. No obstante, en el desarrollo del trabajo presentado en esta Tesis, se hará especial hincapié en los eventos singulares y su influencia en circuitos analógicos. Si bien el TID es también un factor a considerar para un correcto desempeño de actividades de RHbD, su principal influencia está más acotada pues suele provocar variaciones lineales en parámetros (V_{TH} , I_D) y/o incrementos de las intensidades de fuga asociadas a las regiones de difusión.

Una vez que se definen de forma adecuada las posibles fuentes de daño a los circuitos, es necesario realizar una serie de análisis y tests de gran exigencia para determinar la sensibilidad a radiación que las distintas partes, componentes o subsistemas pueden presentar dentro de un sistema electrónico [PalF12]. De esta manera puede evaluarse la influencia de la radiación en los sistemas, con vistas a garantizar una correcta funcionalidad de los mismos incluso tras una exposición a partículas ionizantes. Para ello, es de vital importancia disponer de herramientas que permitan caracterizar la tecnología bajo condiciones de radiación. En este sentido, es fundamental que los modelos empleados en el análisis tengan una correspondencia con el comportamiento real de los circuitos. Esto puede conseguirse mediante la realimentación que supone la información extraída de tests y experimentos con radiación, que puede ser incorporada en sucesivos análisis de los sistemas para conseguir un flujo de diseño robusto más eficaz.

El conocimiento de la sensibilidad ante radiación resulta esencial en este tipo de aplicaciones, por lo que debe disponerse de toda la información posible, incluyendo si es necesario tests de caracterización de la tecnología y los componentes empleados en nuestro diseño. En este aspecto, los principales objetivos que se persiguen mediante el uso de tests de radiación son:

- Entender los mecanismos de interacción de la radiación con los materiales y circuitos electrónicos, y cómo dichos efectos se relacionan con el fallo de los dispositivos.
- Caracterizar la respuesta de los distintos tipos de dispositivos específicos, arquitecturas y tecnologías para su selección y uso en diversas aplicaciones y sistemas electrónicos.

No obstante, en la práctica los tests que incorporan pruebas con radiación de los circuitos fabricados son muy costosos, lo que convierte su uso en una opción que no es asumible en todas las ocasiones en que se aborde un diseño para el espacio. Ante esta situación, la importancia de una correcta búsqueda de información en la literatura disponible, así como la extracción de información de experimentos previos con radiación, resulta clave para disminuir la necesidad de tests.

El disponer de alternativas a los tests de radiación se antoja hoy en día imprescindible, puesto que no resulta viable depender únicamente de una información que sólo estaría disponible tras el diseño del sistema. Por tanto, es necesario el empleo de una serie de herramientas y métodos que permitan el modelado y estudio de los efectos de radiación de la forma más realista posible. Mediante ellos, pueden depurarse las vulnerabilidades de los circuitos diseñados en una etapa previa a la fabricación, permitiendo así mejorar las propiedades de los sistemas en entornos de radiación. En vista de dicha necesidad, en apartados sucesivos abordamos las principales alternativas para un diseño robusto, tanto en sistemas digitales como analógicos.

2.3.2.1 *Diseño robusto en sistemas digitales*

En el caso de circuitos digitales, se han ido desarrollando a lo largo de muchos años técnicas de inyección de fallos para el análisis de errores generados por la radiación [Qui13], dando lugar a varias líneas de interés ya plenamente asentadas, entre las que destacan las siguientes:

- Inyección de fallos basada en Hardware (HWFI) [Arl90][Mad94][Vel98].
- Inyección de fallos basada en Software (SWFI) [KanG92][Mai02].
- Inyección de fallos basada en Simulación (SBFI) [Bou98][GonI01][GonD04].
- Técnicas híbridas de emulación Hardware, pudiendo realizarse la inyección de fallos por Instrumentación [Civ02][Vel01] o Reconfiguración [Ald08][Ant03][And05][Mog11].

En todas ellas, el principio general de funcionamiento está basado en evaluar la Tasa de Errores de Datos (*Soft Error Rate*, SER) de los sistemas, en base a inyecciones de fallos provocadas por el usuario. Como fase preliminar, es necesario realizar campañas de test masivas que permitan elaborar un diccionario de fallos de referencia para el circuito bajo test. Este diccionario debe ser lo más completo posible, para que a posteriori permita identificar fallos en experimentos de radiación reales. No obstante, cubrir el rango completo de fallos posibles en un circuito de tamaño medio-alto resulta en la práctica muy costoso, especialmente en tiempo de simulación, siendo a veces inabordable. Por ello, debe elegirse la plataforma de inyección para optimizar la generación del diccionario de fallos.

Existen numerosas técnicas de inyección, pero no hay una plataforma universal adecuada a todos los criterios necesarios, puesto que en función de las necesidades se requiere habitualmente una plataforma distinta de inyección de fallos. En general, los criterios fundamentales que suelen tenerse en cuenta a la hora de su elección son varios:

- *Controlabilidad*: capacidad para inducir fallos en los elementos del dispositivo objetivo que pueden fallar.
- *Observabilidad*: capacidad de observar en tiempo y espacio el estado interno y externo del dispositivo bajo test.
- *Intrusividad*: grado de instrumentación adicional que se requiere para la inyección, que debe ser lo menor posible.
- *Velocidad y coste*. Es necesario tenerlos en cuenta para el desarrollo de los análisis, pues pueden entorpecer el proceso de diseño de los circuitos.

La mayoría de técnicas de inyección de fallos cumplen con un compromiso entre estos criterios y tienen un campo de aplicación determinado. La mayor utilidad de las mismas se encuentra en su uso en la etapa de diseño de los circuitos integrados, o bien para la realización de tests de fiabilidad o tolerancia a fallos.

Respecto a la naturaleza de los fallos inducidos mediante estas técnicas, habitualmente se trata de modelos físicos de fallos adecuados a un nivel de abstracción determinado. Un modelo extremadamente extendido a nivel de transferencia en registro (*Register Transfer Level*, RTL) es el de error de *bit-flip*. Este modelo resulta de gran interés en circuitos digitales, puesto que permite modelar cualquier error no destructivo de tipo SEE, pudiendo además constituir un bloque base para modelar errores múltiples (tales como *Multiple Bit Upset*, MBU o *Multiple Cell Upset*, MCU). A grandes rasgos, consiste en buscar y analizar errores generados por el cambio del estado lógico de un bit en un flanco de reloj determinado. Otros modelos de interés pueden ser el modelo *stuck-at*, basado en forzar un nivel alto o bajo en algún puerto, bit o registro del dispositivo bajo test, o el modelo de *bridging*, consistente en forzar un puerto, bit o registro al valor de lógico de otro adyacente.

2.3.2.2 Diseño robusto en sistemas analógicos

En la actualidad, el estudio de los efectos de la radiación en circuitos mixtos que deben funcionar en entornos aeroespaciales es una de las principales líneas de investigación en RbHD. En este sentido, la influencia de los impactos de partículas de altos niveles energéticos en el funcionamiento de los sistemas es cada vez más crítica conforme las tecnologías escalan sus dimensiones. Las frecuencias de funcionamiento cada vez mayores y la reducción del tamaño de los dispositivos conducen a una importancia creciente de los efectos generados por SEE en los diseños actuales. En tecnologías modernas, la influencia de los SET provocados por impactos de iones pesados ha ido creciendo hasta pasar de un papel tradicionalmente poco relevante a un primer plano, convirtiéndose en una seria amenaza para la fiabilidad de los diseños.

Por una parte, conforme se alcanzan mayores velocidades de funcionamiento, la posibilidad de atrapar un pulso transitorio generado por un impacto en algún registro se hace mayor, incrementando la sensibilidad de la parte digital de los circuitos ante SET. Un simple pulso generado a la entrada de un camino combinacional puede propagarse a través de estructuras de transistores incrementando su anchura; a consecuencia de esto, puede llegar a producir eventos singulares aislados (de tipo SEU) o incluso afectar a múltiples registros generando errores multibit (MBU) [Ben06]. Este efecto ha sido recientemente objeto de estudio en diseños digitales, y se conoce como Ensanchamiento de Pulso Inducido por Propagación (PIPB) [Nar07][Ben07].

Por otro lado, las partes analógicas de los circuitos se ven incluso más afectadas por perturbaciones transitorias de la tensión debidas a pares electrón-hueco generados por impactos de partículas ionizantes en tecnologías nanométricas. Además, estos SET analógicos dependen fuertemente de la configuración eléctrica a nivel de sistema de los circuitos, pudiendo afectar gravemente a su funcionalidad. En consecuencia, el estudio y análisis de los SET en circuitos analógicos se ha convertido en una línea de altísimo interés, ya que el diagnostico de las vulnerabilidades ante ellos puede aportar información clave para obtener diseños robustos ante radiación.

Por tanto, en las tecnologías modernas los eventos singulares generados por impactos de partículas pesadas han ido adquiriendo cada vez mayor importancia [Mav07]. Esto ha generado una necesidad de instrumentos para verificar dichos efectos de forma preventiva sin necesidad de esperar a tests de radiación, permitiendo tenerlos en cuenta en el diseño de los sistemas. Aunque existen herramientas como TCAD, mediante las cuales puede extraerse información exhaustiva y precisa de los efectos de dichos impactos a nivel de *layout* [Mog13][PalF12], conforme el número de transistores empleados aumenta, el coste computacional se hace inabordable. Ésta es una de las mayores inquietudes en los diseños aeroespaciales en la actualidad [Jau08][Pag11], puesto que la detección en etapas previas de los efectos generados de SEU y SET que se muestran tras los tests de radiación sería extremadamente útil.

Mediante el uso de herramientas de modelado y análisis adecuadas, se pretende asegurar que todos los diseños microelectrónicos pasen los tests de radiación de forma satisfactoria sin necesidad de rediseñar. Esto es, no obstante, una situación ideal que aún no se ha alcanzado a día de hoy. La capacidad de realizar un análisis y diagnóstico de los circuitos en etapas tempranas de diseño para mejorar su robustez frente a radiación es una línea de investigación de gran interés en el contexto del diseño microelectrónica para el espacio y la ingeniería aeroespacial.

Ante este panorama, y siguiendo la línea ya establecida en nuestro grupo de investigación con el desarrollo de FT-UNSHADES (herramienta de inyección de fallos en circuitos digitales desarrollada en proyectos previos con la Agencia Espacial Europea -ESA-), se decidió afrontar el estudio de los SET en circuitos analógicos. El objetivo era abordar dicho análisis de una forma sistemática y menos costosa a nivel computacional, mediante el desarrollo de una herramienta software de análisis automático de vulnerabilidades ante radiación para circuitos analógicos: AFTU.

La herramienta propuesta está dirigida al estudio y evaluación de las vulnerabilidades a SET en circuitos analógicos y mixtos a nivel de transistor, desde un punto de vista orientado a resultados. Para este fin, el primer paso es realizar una transformación en la *netlist* de los circuitos bajo test –sin modificar su funcionalidad- añadiendo fuentes configurables de corriente que modelan los impactos de partículas ionizantes [Mes82][Wir07]. De esta manera, mediante una serie de ficheros de configuración, la herramienta permite realizar una campaña de test definida por el usuario con numerosas simulaciones, empleando scripts de OCEAN [Oce11] en un entorno de CADENCE. Además, se implementarán una serie de criterios heurísticos que permitan discriminar automáticamente los nodos más críticos de los diseños bajo radiación, de forma que obtengamos a la salida del procesado un fichero de resultados con toda la información necesaria. Más datos sobre el desarrollo de la herramienta software AFTU pueden encontrarse en el Capítulo 4 de esta Tesis.

El objetivo es, por tanto, disponer de una herramienta de análisis que permita elaborar un mapa de vulnerabilidades ante SEE de forma automática y transparente al usuario, con un coste computacional razonable. De esta manera, se podrían determinar los nodos críticos en una etapa inicial del diseño en lugar de tras los tests de radiación, con el consiguiente ahorro económico y de esfuerzo que ello supone. El desarrollo de una herramienta de este tipo puede ser de extrema utilidad en el diseño de circuitos microelectrónicos para el espacio, aportando al diseñador una información de gran valor para las tareas de RHA y/o RHbD previstas.

2.3.3 Conclusiones sobre diseño robusto ante radiación

En la literatura existen numerosas herramientas y métodos de análisis de los efectos de la radiación enfocados al estudio de circuitos digitales [Mog13] [PalF12]. No obstante, la influencia de los efectos generados por partículas ionizantes es cada vez mayor en circuitos analógicos, donde el coste de simulación se incrementa exponencialmente con el número de transistores de los circuitos a diseñar.

En ese contexto, el desarrollo de un método sistemático de análisis que permita descubrir vulnerabilidades de los circuitos en fases previas a su fabricación resulta una prioridad, especialmente en aplicaciones donde los circuitos deben funcionar en entornos bajo radiación, tales como sistemas electrónicos para el espacio.

El conocimiento de la sensibilidad ante radiación de los componentes es esencial para un diseño robusto, por lo que resulta necesario:

- Entender los mecanismos de interacción de la radiación con los materiales y circuitos electrónicos, y cómo dichos efectos se relacionan con el fallo de los dispositivos.
- Caracterizar la respuesta de los distintos tipos de dispositivos específicos, arquitecturas y tecnologías, para su selección y uso en diversas aplicaciones y sistemas electrónicos.

2.4 Conclusiones

En este capítulo se ha presentado un estudio teórico de las principales características de las tecnologías nanométricas, con especial hincapié en los efectos derivados del escalado tecnológico que pueden afectar al diseño microelectrónico. Este estudio sirve como base para el posterior diseño de un convertidor A/D de tipo flash de 6 bits, descrito en el Capítulo 3 de esta Tesis, en una tecnología de 130 nm de ST Microelectronics.

A continuación, se han reseñado y descrito una serie de técnicas y estrategias de diseño orientadas a la optimización del consumo en arquitecturas de conversión A/D de muy alta frecuencia. En él, se analizan diversas técnicas tradicionalmente empleadas para la implementación de circuitos analógicos, y de su estudio se extrae una visión global que nos permite usar las más adecuadas para la aplicación elegida (comunicaciones para estándar UWB). En concreto, se aplicarán técnicas de interpolación capacitiva sobre el convertidor A/D flash para mejorar sus prestaciones en consumo, realizando una implementación distribuida del circuito de muestreo y retención. Adicionalmente, se incorporará una técnica de calibración novedosa presentada en esta Tesis para su aplicación al diseño del convertidor de tipo flash (Capítulo 3).

Por último, se ha llevado a cabo una introducción a la problemática del diseño robusto ante radiación (RHA, RHbD) en circuitos microelectrónicos para aplicaciones espaciales. Se han recogido numerosos efectos que pueden afectar a dispositivos semiconductores, centrándonos para el objetivo de esta Tesis en los efectos de eventos singulares no destructivos. En este sentido, la influencia de los SEE puede resultar crítica, bien por el riesgo de convertirse en SEU al ser capturados por la lógica digital debido a las frecuencias de funcionamiento cada vez mayores, o bien por afectar al funcionamiento de circuitos provocando efectos parásitos que afecten a la funcionalidad de los sistemas, especialmente en circuitos de gran complejidad como transeptores o convertidores A/D.

A pesar de que en la literatura existe una amplia base de herramientas y métodos de análisis de fallos, éstas se encuentran dirigidas, fundamentalmente, al estudio de circuitos digitales. No obstante, la influencia de los efectos generados por partículas ionizantes se hace cada vez más patente en circuitos analógicos, donde el coste computacional aumenta drásticamente conforme lo hace la complejidad de los circuitos a diseñar. Ante esta situación, se observa una necesidad creciente de determinar las vulnerabilidades ante radiación en circuitos analógicos y de señal mixta.

Debido a esto, se presenta en esta Tesis Doctoral una herramienta software de análisis automático de vulnerabilidades que permita un estudio rápido de circuitos complejos en etapas previas a la fabricación, de forma que pueda servir de apoyo a los diseñadores para un diseño robusto a radiación.

2.5 Referencias

- [Ald08] M. Alderighi, F. Casini, M. Citterio, S. D'Angelo, M. Mancini, S. Pastore, G.R. Sechi, and G. Sorrenti. **“Using flipper to predict irradiation results for virtex 2 devices.”** *Radiation and Its Effects on Components and Systems (RADECS), 2008 European Conference on*, pages 300 –305, sept. 2008.
- [Alp09] Alpman, E.; Lakdawala, H.; Carley, L.R.; Soumyanath, K.; **“A 1.1V 50mW 2.5GS/s 7b Time-Interleaved C-2C SAR ADC in 45nm LP digital CMOS,”** *IEEE InternationalSolid-State Circuits Conference - Digest of Technical Papers, 2009. ISSCC 2009.*, pp.76-77,77a, 8-12 Feb. 2009.
- [And05] David de Andrés, José Albaladejo, Lenin Lemus, and Pedro Gil. **“Fast runtime reconfiguration for seu injection.”** *Dependable Computing - EDCC 5, volume 3463 Bibliography of Lecture Notes in Computer Science*, pages 230–245. Springer Berlin/Heidelberg, 2005.

- [Ann03] Anne-Johan Annema, Bram Nauta, Ronald van Langevelde, Hans Tuinhout. **“Analog Circuits in Ultra-Deep-Submicron CMOS.”** *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 1, Jan 2005
- [Ant03] L. Antoni, R. Leveugle, and B. Feher. **“Using run-time reconfiguration for fault injection applications.”** *Instrumentation and Measurement, IEEE Transactions on*, 52(5):1468 – 1473, oct. 2003.
- [Arl90] J. Arlat, M. Aguera, L. Amat, Y. Crouzet, J.-C. Fabre, J.-C. Laprie, E. Martins, and D. Powell. **“Fault injection for dependability validation: A methodology and some applications.”** *IEEE Transactions on Software Engineering*, 16:166–182, 1990.
- [Bar06] Barnaby, H.J. **“Total-Ionizing-Dose Effects in modern CMOS technologies”**, *IEEE Transactions on Nuclear Science*, vol 53, Issue 6, 2006
- [Bar07] H.J.Barnaby et al., **“Total Ionizing dose effects on isolation oxides in modern CMOS technologies”**, *Nuclear Instruments and Methods in Physics Research*, B261, 2007
- [Bas09] A Baschiroto, P Delizia, S D’Amico, V Chironi, G Cocciolo, M De Matteis. **“Low power analog design in scaled technologies.”** 2009, CERN
- [Ben06] J. M. Benedetto, P. H. Eaton, D. G. Mavis, M. Gadlidge & T. Turflinger. **“Digital Single Event Transient Trends with Technology Node Scaling”**. *IEEE Transactions on Nuclear Science*, vol. 53, No. 6, Dec. 2006.
- [Ben07] J. M. Benedetto & P. H. Eaton **“Characterization of Digital Single Event Transient Pulse-Widths in 130-nm and 90-nm CMOS technologies”** *IEEE Transactions on Nuclear Science*, vol. 54, No. 6, Dec. 2007.
- [Bou98] J. Boue, P. Petillon, and Y. Crouzet. **“Mefisto-I: a vhdl-based fault injection tool for the experimental assessment of fault tolerance.”** *Fault-Tolerant Computing, 1998. Digest of Papers. Twenty-Eighth Annual International Symposium on*, pages 168 –173, jun 1998.
- [Bro09] Brooks, L. and Hae-Seung Lee **“A 12b 50MS/s fully differential zero-crossing-based ADC without CMFB”**, *IEEE International Solid-State Circuits Conference - Digest of Technical Papers, ISSCC 2009*, (8-12 Feb. 2009), pp.(166 - 167).

- [Bul00] Bult, K., "Analog design in deep sub-micron CMOS," *Solid-State Circuits Conference, 2000. ESSCIRC '00. Proceedings of the 26rd European*, pp.126,132, 19-21 Sept. 2000
- [Cao09] Cao, Z.; Yan, S. & Li, Y. "A 32 mW 1.25 GS/s 6b 2b/Step SAR ADC in 0.13 μm CMOS".*IEEE Journal of Solid State Circuits*, vol. 44, n^o 3, March 2009, pp. (862-873).
- [Car05] Carvajal, R.G.; Ramirez-Angulo, J.; Lopez-Martin, A.J.; Torralba, A.; Galan, J.A.G.; Carlosena, A.; Chavero, F.M., "The flipped voltage follower: a useful cell for low-voltage low-power circuit design," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol.52, no.7, pp.1276,1291, July 2005
- [Cha09] Chae, Y. and Han.G. "Low Voltage, Low Power, Inverter-Based Switched-Capacitor Delta-Sigma Modulator".*IEEE J. Solid-State Circuits*, Vo. 44 , No. 2, (Jan. 2009), pp. (458 - 472).
- [Civ02] P. Civera, L. Macchiarulo, M. Rebaudengo, M. Sonza Reorda, and M. Violante. "An fpga-based approach for speeding-up fault injection campaigns on safety-critical circuits." *J. Electron. Test.*, 18:261–271, June 2002.
- [Col08] Colodro, P. ; Torralba, A. & Laguna, M. "Continuous-Time Sigma-Delta Modulator With an Embedded Pulsewidth Modulation".*IEEE Trans. on Circuits and Systems-I*, vol. 55, Issue 3, March 2008, pp. (775-785).
- [Dai00] Liang Dai; Harjani, R., "CMOS switched-op-amp-based sample-and-hold circuit," *Solid-State Circuits, IEEE Journal of*, vol.35, no.1, pp.109-113, Jan. 2000
- [Dra04] Draxelmayr, D. "A 6b 600MHz 10mW ADC Array in Digital 90nm CMOS".*Digest of Technical Papers of IEEE International Solid-State Circuits Conference 2004*, February 2004.
- [Fay04] Fayomi, C.J.B.; Roberts, G.W., "Design and characterization of low-voltage analog switch without the need for clock boosting," *Circuits and Systems, 2004. MWSCAS '04. The 2004 47th Midwest Symposium on*, vol.3, pp.iii,315-18, 25-28 July 2004
- [Fio06] Fiorenza, J. K.; Sepke, T.; Holloway, P.; Sodini, C. G. and Lee, H.-S. "Comparator-based switched-capacitor circuits for scaled CMOS technologies", *IEEE J. Solid-State Circuits*, Vol. 41, (Dec. 2006), pp. (2658–2668).

- [Fly03] Flynn, M. P.; Donovan, C. & Satler, L. **“Digital calibration incorporating redundancy of Flash ADCs”**. *IEEE Transactions on Circuits and Systems II*, vol. 50, n° 5, May 2003, pp. (205-213).
- [Gar11] J. R. García-Oya, F. Muñoz, A. Torralba, A. Jurado, A. J. Garrido, and J. Baños, **“Data Acquisition System Based on Subsampling for Testing Wideband Multistandard Receivers”** *IEEE Transactions on Instrumentation and Measurements*, Vol. 60, pp. 3234-3237, Sep. 2011.
- [Gar12a] J. R. García-Oya, F. Muñoz Chavero, R. M. Clemente, F. Márquez, E. López-Morillo and A. Torralba Silgado, **“Analog-to-Digital Conversion Systems for High Data Acquisition Rate”**, Academy Publish. 2014.
- [Gar12b] J. R. García-Oya, A. Kwan, F. Muñoz Chavero, F. M. Ghannouchi, M. Helaoui, F. J. Márquez, E. López-Morillo and A. Torralba Silgado, **“Subsampling Receivers with Applications to Software Defined Radio Systems”**, *Data Acquisition Applications*, Prof. Zdravko Karakehayov(Ed.), (ISBN) 979-953-307-817-4, InTech.
- [Gar12c] J. R. G. Oya, F. Munoz, A. Torralba, A. Jurado, F. J. Márquez and E. Lopez-Morillo, **“Data Acquisition System based on Subsampling Using Multiple Clocking Techniques”**, *IEEE Transactions on Instrumentation and Measurement*, Vol.61, No.8, pp.2333-2335, Aug. 2012
- [Garg03] Garg, M.; Suryagandh, S.S.; Woo, J.C.S., **“Scaling impact on analog performance of sub-100nm MOSFETs for mixed mode applications,”** *European Solid-State Device Research, 2003. ESSDERC '03. 33rd Conference on*, pp.371,374, 16-18 Sept. 2003
- [GonI01] I. González and L. Berrojo. **“Supporting fault tolerance in an industrial environment: the amatista approach.”** *In On-Line Testing Workshop, 2001. Proceedings. Seventh International*, pages 178 –183, 2001. 1.4.3
- [GonD04] D. González. **“The SEUs Simulation Tool (SST), functional description”** *European Space Agency (ESA). Document Reference TEC-EDM/DGGSST2*. Apr2004.
- [Gra68] D. Grace and S. P. Pitt, **“Quadrature sampling of high frequency waveforms,”** *Journal of the Acoustical Society of America*, vol. 44, pp. 1432-1436, 1968.

- [Has07] Hashemi, S. & Shoaiei, O.; **“A 0.9-V 10-bit 100-MSample/s pipelined ADC using switched-RC and opamp sharing techniques”**. *50th Midwest Symposium on Circuits and Systems 2007*, Aug. 2007.
- [Hei06] T. Heijmen, D. Giot, and P. Roche. **“Factors that impact the critical charge of memory elements.”** *In On-Line Testing Symposium*, 2006. IOLTS 2006. 12th IEEE International, July 2006.
- [Hos79] Hosticka, B. J. **“Dynamic CMOS amplifiers”** *IEEE J. Solid-State Circuits*, Vol. 14, (Dec.1979) , pp. 1111–1114.
- [Jau08] P. Jaulent, V. Pouget, D. Lewis and P. Fouillat, **“Study of Single-Event Transients in High-Speed Operational Amplifiers”**. *IEEE Transactions on nuclear science*, vol.55, n° 4, Aug. 2008
- [Jim11] Jimenez-Irastorza, A.; Sevillano, J.F.; Berenguer, R. and Rebollo, I. **“Recursive Successive Approximation Time-to-Digital Converter for low-power RFID tag sensors”**, *XXVI Conference on Design of Circuits and Integrated Systems (DCIS)*, (November 2011).
- [KanG92] G.A. Kanawati, N.A. Kanawati, and J.A. Abraham. **“Ferrari: a tool for the validation of system dependability properties. In Fault-Tolerant Computing, 1992. FTCS-22. Digest of Papers.”**, *Twenty-Second International Symposium on*, pages 336 –344, jul 1992.
- [Kij09] Kijima, M.; Ito, K.; Kamei, K. & Tsukamoto, S. **“A 6b 3GS/s Flash ADC with Background Calibration”**. *Proceedings of IEEE 2009 Custom Intergrated Circuits Conference*, San Jose, CA, September 2009.
- [Kim06] Kim, H.-C.; Jeong, D.-K. & Kim, W. **“A partially switched-opamp technique for high-speed low-power pipelined analog-to-digital converters”**. *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol.53, no.4, April 2006, pp. (795- 801).
- [Kuo04] Kuo, C.-H.& Liu, S.-H. **“A 1-V 10.7-MHz Fourth-Order Bandpass $\Sigma\Delta$ Modulators Using Two Switched Opamps”**. *IEEE Journal of Solid-State Circuits*, vol. 39, n° 11, November 2004, pp. (2041-2045).
- [Kwa12] Kwan A., Bassam S.A., Ghannouchi F., **“Sub-sampling Technique for Spectrum Sensing in Cognitive Radio Systems”** *IEEE Radio and Wireless Symposium*, RWS 2012: pp. 347-350.

- [Lop13] E. López Morillo, F. Muñoz, A. Torralba, F. Márquez, I. Rebollo. **“Compact low-power implementation for continuous-time SD modulators.”** *Integration, the VLSI Journal*. 2013. Vol. 46. Núm. 4. Pag. 441-448
- [Mad94] Henrique Madeira, Mário Z. Rela, Francisco Moreira, and João G. Silva. **“Rifle: A general purpose pin-level fault injector.”** *EDCC*, pages 199–216, 1994.
- [Mai02] R. Maia, L. Henriques, D. Costa, and H. Madeira. **“Xceptiontm – enhanced automated fault-injection environment.”** *Dependable Systems and Networks, 2002. DSN 2002. Proceedings. International Conference on*, page 547, 2002.
- [Mav07] D.G. Mavis & P. H. Eaton **“SEU and SET modelling and Mitigation in Deep Submicron Technologies”** *45th Annual International Reliability Physics Symposium*, Phoenix 2007
- [Mes82] G. Messenger, **“Collection of Charge on junction nodes from ion tracks”**, *IEEE Transactions on nuclear science*, vol.29, nº 6, Dec. 1982.
- [Mit95] J. Mitola, **“The software radio architecture”** *IEEE Communications Magazine*, Vol. 33, no. 5, 26-38, May 1995.
- [Mog10] J.M.Mogollón, F.R. Palomo, M.A. Aguirre, J. Napoles, H. Guzman-Miranda and E. Garcia-Sanchez, **“TCAD Simulations on CMOS Propagation Induced Pulse Broadening Effect: Dependence Analysis on the Threshold Voltage”**, *IEEE Transactions on nuclear science*, vol.57, nº 4, Aug. 2010
- [Mog11] Mogollon, J.M.; Guzman-Miranda, H.; Napoles, J.; Barrientos, J.; Aguirre, M.A., **“FTUNSHADES2: A novel platform for early evaluation of robustness against SEE,”** *Radiation and Its Effects on Components and Systems (RADECS), 2011 12th European Conference on*, vol., no., pp.169,174, 19-23 Sept. 2011
- [Mog13] J.M.Mogollón, **“Contributions to the Detection and Diagnosis of Soft Errors In Radiation Environments”** *Tesis doctoral*, Universidad de Sevilla, Ago. 2013
- [Nar07] B. Narasimhan, B. L. Bhuvu, R. D. Schrimpf, L. W. Massengill, M. J. Galadge, O. A. Amusan, W.T. Holman, A. F. Witulski, W. H. Robinson, J. D. Black, J. J. M. Benedetto & P. H. Eaton **“Characterization of Digital Single Event Transient Pulse-Widths in 130-nm and 90-nm CMOS technologies”** *IEEE Transactions on Nuclear Science*, vol. 54, No. 6, Dec. 2007.

- [Oce11] **OCEAN Reference**, Sept. 2011. Cadence Design Systems, dated September 2011, Product Version 6.1.5
- [Pag11] S. Pagliarini, F. Kanstendsmidt, L. Entrena, A. Lindoso & E. San Millán **“Analyzing the impact of Single-Event-induced Charge sharing in complex circuits”** *IEEE Transactions on nuclear science*, vol. 58, No. 6, Dec. 2011
- [PalB12] B. Palomo, F. Munoz, R.G. Carvajal, J.R. Garcia, F. Marquez **“An 8-bit 19MS/s low-power 0.35 μm CMOS pipelined ADC for DVB-H”** *Integration, the VLSI journal* 45 (2), 222-227, March 2012
- [PalF12] F. R. Palomo **“Test de eventos singulares para microelectrónica digital en España”** *Tesis doctoral*, Universidad de Sevilla, Julio 2012
- [Par07] Park, S. ; Palaskas, Y. & Flynn, M.P. **“A 4-GS/s 4-bit Flash ADC in 0.18- μm CMOS”**. *IEEE Journal of Solid State Circuits*, vol. 42, nº2, September 2007, pp. 1865-1872.
- [Pla03] R.J. van de Plassche, **“CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters”**, Dordrecht, Kluwer Academic Publishers, 2003.
- [Pla06] Van der Plas, G.; Decoutere, S. & Donnay, S. **“A 0.16pJ/Conversion-Step 2.5mW 1.25 GS/s 4b ADC in a 90nm Digital CMOS Process.”** *Digest of Technical Papers of IEEE International Solid-State Circuits Conference 2006*, February 2006
- [Qui13] Quinn, H.M.; Black, D.A.; Robinson, W.H.; Buchner, S.P., **“Fault Simulation and Emulation Tools to Augment Radiation-Hardness Assurance Testing,”** *Nuclear Science, IEEE Transactions on* , vol.60, no.3, pp.2119,2142, June 2013
- [Roy03] Roy, K.; Mukhopadhyay, S.; Mahmoodi-Meimand, H., **“Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits,”** *Proceedings of the IEEE*, vol.91, no.2, pp.305,327, Feb 2003
- [San05] Sandner, C.; Clara, M.; Santner, A.; Hartig, T.; Kuttner, F., **“A 6bit, 1.2GSps low-power flash-ADC in 0.13 μm digital CMOS”** *Design, Automation and Test in Europe, 2005. Proceedings* , vol., no., pp.223-226 Vol. 3, 7-11 March 2005

- [Sas09] Sasidhar, N.; Y.-J. Kook; Takeuchi, S.; Hamashita, K.; Takasuka, K.; Hanumolu, P.K. & U.-K. Moon; **“A Low Power Pipelined ADC Using Capacitor and Opamp Sharing Technique With a Scheme to Cancel the Effect of Signal Dependent Kickback”**. *IEEE Journal of Solid-State Circuits*, vol.44, no.9, Sept. 2009, pp. (2392-2401).
- [Shi08] Shin, S.-K.; You, Y.-S.; Lee, S.-H.; Moon, K.-H.; Kim, J.-W.; Brooks, L. and Lee, H. S. (2008). **“A fully-differential zero-crossing-based 1.2 V 10b 26 MS/s pipelined ADC in 65 nm CMOS”**, *IEEE Trans. VLSI Syst.*, (Jun. 2008).
- [SND13] **Satellite outages and failures**, 2013. *Satellite News Digest*. <http://www.sat-index.co.uk/failures/>
- [Sro03] J.R. Srour, C.J. Marshall, and P.W. Marshall. **“Review of displacement damage effects in silicon devices.”** *Nuclear Science, IEEE Transactions on*, 50(3):653 – 670, june 2003.
- [Ste11] M. Steyaert, A. van Roermund, A. Baschiroto. **Analog Circuit Design**. Springer
- [Sun09] Sundström, T. & Alvandpour, A. **“Utilizing process variations for reference generation in a Flash ADC”** *IEEE transactions on circuits and systems II*, vol. 56, n° 5, May 2009, pp. (364-368).
- [Vau91] R. G. Vaughan, N. L. Scott and D. R. White **“The Theory of Bandpass Sampling”** *IEEE Transactions on Signal Processing*, Vol. 39, pp. 1973-1984, Sep. 1991.
- [Vel98] R. Velazco, Ph. Cheynet A., and Bofill R. Ecoffet. **“Thesic: A testbed suitable for the qualification of integrated circuits devoted to operate in harsh environment.”** *IEEE European Test Workshop (ETW'98)*, Sitges, (Spain), pages 89–90, may 1998.
- [Vel01] R. Velazco, R. Leveugle, and O. Calvo. **“Upset-like fault injection in vhdl descriptions: A method and preliminary results.”** In *Defect and Fault Tolerance in VLSI Systems, 2001. Proceedings. 2001 IEEE International Symposium on*, pages 259 –267, 2001.
- [Vel07] Raoul Velazco, Pascal Fouillat, and Ricardo Reis (Editors). **Radiation Effects on Embedded Systems**. Springer, 2007.
- [Veld08] van Veldhoven, R. H. M. van; Rutten, R. and Breems, L. J. (2008). **“An inverter based hybrid $\Sigma\Delta$ modulator”**, *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, (Feb. 2008), pp. (492–493).

- [Wan09] Wang, H.; Xu, J. and Wu, X. **“A high power efficiency Class AB switched-opamp for low voltage low power sigma-delta modulators”**.*IEEE International Conference of Electron Devices and Solid-State Circuits*, EDSSC 2009.Vol. , No., (25-27 Dec. 2009). pp.(429-432).
- [Wir07] G. I.Wirth, M.G. Vieira, and F.G. Lima-Kastensmidt, **“Accurate and computer efficient modelling of Single Event Transients in CMOS circuits”**, *IET Circuits, Devices and Systems*, 1(2):137-142, April 2007.
- [Yan05] Yang, H.Y.; Sarpeshkar, R. **“A time-based energy-efficient analog-to-digital converter”**, *IEEE Journal of Solid-State Circuits*, Vol.40, No.8, (Aug. 2005), pp.(1590- 1601).
- [Yan06] Yang, H.Y.; Sarpeshkar, R. **“A Bio-Inspired Ultra-Energy-Efficient Analog-to-Digital Converter for Biomedical Applications”**.*IEEE Transactions on Circuits and Systems I: Regular Papers*, Vol.53, No.11, (Nov. 2006), pp.(2349-2356).
- [Ytt10] Ytterdal, T.; **“Design of energy efficient analog circuits in nanoscale CMOS technologies,”***IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, 2010 10th, vol., no., pp.184-187, 1-4 Nov. 2010.

CAPITULO 3

DISEÑO DE CONVERTIDOR A/D FLASH DE 6 BITS

ÍNDICE DEL CAPÍTULO

3.1 Arquitectura tradicional.....	81
3.2 Convertidores A/D flash con interpolación y compensación de offset.....	83
3.3 Especificaciones y arquitectura del convertidor diseñado.....	87
3.4 Diseño de bloques constructivos del convertidor A/D flash.....	91
3.4.1 Etapas preamplificadoras.....	91
3.4.2 Comparadores.....	95
3.4.3 <i>Backend</i> digital	96
3.4.3.1 Decodificador ROM.....	98
3.4.3.2 Fat-tree encoder.....	99
3.4.3.3 Wallace tree encoder.....	100
3.4.3.4 Folded Wallace tree encoder.....	102
3.4.3.5 Decodificador basado en multiplexores	103
3.4.3.6 Estudio comparativo	103

3.4.4	Implementación del convertidor A/D	105
3.4.4.1	Arquitectura global.....	105
3.4.4.2	Etapas preamplificadoras	106
3.4.4.3	Comparadores.....	110
3.4.4.4	Backend digital.....	113
3.4.5	Detalles adicionales de implementación.....	116
3.5	Caracterización experimental.....	118
3.6	Conclusiones	124
3.7	Referencias.....	125

Como se ha comentado en el Capítulo 2, los convertidores A/D de tipo flash se utilizan en aplicaciones donde el requerimiento principal es tener una velocidad de conversión muy alta. Estas aplicaciones podrían ser, en general, aquellas que requieran de una elevada tasa de transferencia de datos, tales como sistemas de acceso en lectura/escritura a disco duro, procesamiento de señales de vídeo, aplicaciones radar, sistemas de comunicaciones inalámbricas, etcétera.

Este tipo de convertidores A/D alcanzan grandes velocidades de conversión debido a su sencilla arquitectura, basada en una matriz de comparadores en paralelo que muestrean la señal analógica simultáneamente. Al requerirse un comparador por cada nivel de cuantización, el número de comparadores se dobla por cada bit adicional de resolución. Así pues, el principal problema que surge con esta técnica es el significativo incremento de disipación de potencia y área de silicio en comparación con otras técnicas de conversión A/D, lo que hace que tengan que limitarse a resoluciones medias (6-8 bits) para resultar eficientes.

Se comenzará este capítulo recordando la estructura tradicional de convertidores A/D flash, comentando sus principales características y no idealidades. Así mismo, se repasarán técnicas de implementación habituales que pueden ayudar a minimizar el impacto de los inconvenientes descritos. Posteriormente, se describirá una técnica novedosa de compensación de offset para la implementación de un convertidor flash de alta velocidad. Finalmente, se expondrá la arquitectura del convertidor diseñado –basada en interpolación capacitiva-, y se detallarán el diseño y funcionalidad de sus principales componentes, así como los resultados de simulación y medidas experimentales obtenidas.

3.1 Arquitectura tradicional

La estructura clásica de un convertidor analógico-digital de tipo flash puede observarse en la siguiente figura:

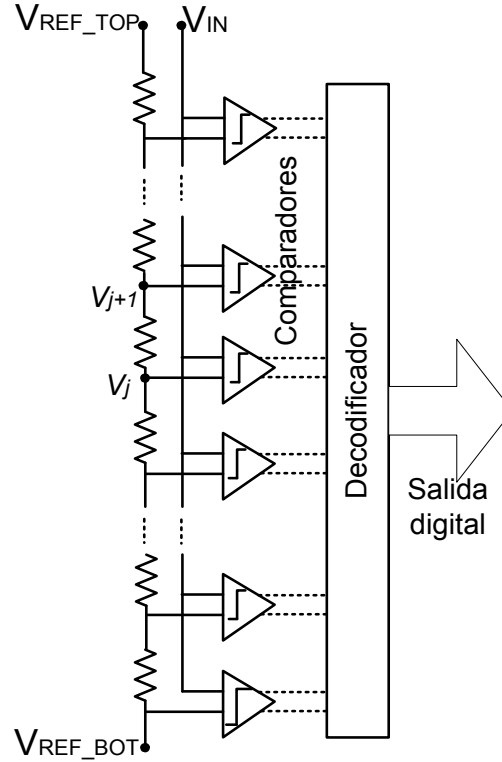


Figura 3.1 - Estructura clásica de un convertidor A/D flash de N bits.

Como puede observarse, para el diseño de un convertidor flash de N bits se requiere una matriz de 2^N-1 comparadores. Cada entrada analógica se conecta a una entrada de dicha matriz, mientras que la otra entrada de cada comparador se conecta a tensiones de referencia fijas. Estas referencias representan niveles de tensión equidistantes entre $FS/2$ y $-FS/2^1$, correspondientes a los 2^N-1 escalones de cuantización.

En el caso del esquema representado, se puede distinguir una escalera de resistencias mediante la que se obtendrían los distintos valores de referencia para cada uno de los 2^N-1 comparadores (para el caso de 6 bits necesitaríamos 63 comparadores). La diferencia de tensiones entre niveles de cuantización adyacentes vendrá dada por:

$$V_{j+1} - V_j = V_{LBS} = \frac{V_{REF_TOP} - V_{REF_BOT}}{2^N} \quad [3.1]$$

donde V_{REF_TOP} y V_{REF_BOT} representan las dos referencias de tensión proporcionadas al convertidor. Este valor constituirá el rango máximo en tensiones para la decisión de los comparadores.

¹FS: valor de fondo de escala de la tensión.

El decodificador se encargará de recolectar todas las salidas del banco de comparadores y procesarlas para realizar una conversión del código de salida de los mismos (usualmente termométrico) a binario, obteniendo así la salida digital del convertidor A/D. El fundamento de la conversión realizada por el convertidor es el siguiente: cada comparador cuya entrada analógica esté por debajo de su referencia pone un “0” lógico a su salida, mientras que los comparadores cuya entrada supere la referencia ponen un “1”. Estas salidas sirven como entrada a un decodificador de código termométrico que detecta la transición de ceros a unos lógicos en la secuencia de salida de los comparadores. Esta transición, en teoría, debe ser única para evitar errores en la decodificación de uno a otro código. Una vez detectada la transición, se produce el paso de un código termométrico a otro binario, obteniéndose la palabra correspondiente de N bits como salida digital del convertidor.

La principal desventaja de estos convertidores radica en el elevado número de comparadores necesario, que se incrementa exponencialmente con el aumento de resolución, dando lugar a un crecimiento del área y consumo que puede llegar a ser dramático. Ésta es la limitación esencial que presentan este tipo de convertidores, haciendo insostenible en la práctica aumentar la resolución mucho más allá de los 6-8 bits.

Así mismo, como ya se ha comentado, la estructura clásica de un convertidor analógico-digital de tipo flash está compuesta esencialmente por resistencias y comparadores. En consecuencia, existen una serie de no idealidades de dichos componentes que van a limitar las prestaciones del convertidor.

Por un lado, debido al *mismatch* entre las resistencias –a consecuencia de los procesos de fabricación- la tensión de referencia obtenida presentará una variación respecto a los valores ideales, afectando a la precisión de los convertidores.

En los comparadores, por su parte, el efecto que mayor influencia tiene es el denominado error de *offset*, que se manifiesta en una desviación del umbral de comparación. Este *offset*, si es suficientemente grande, podría llegar a provocar incluso que la transición de ‘0’ a ‘1’ en el código termométrico a la salida del banco de comparadores no fuese única, generando un error de conversión en el decodificador. Dichos efectos son aún más apreciables debido a las variaciones paramétricas con el uso de tecnologías nanométricas.

A consecuencia de estas no idealidades, el comportamiento esperado de los convertidores flash puede presentar un deterioro significativo de sus prestaciones, tales como la linealidad de su respuesta. Por ello, será necesario compensar estos efectos inherentes a la propia fabricación de sus componentes no sólo mediante técnicas de diseño a nivel de bloques, sino incluso a nivel arquitectural.

En el caso del convertidor que nos ocupa, por ejemplo, se abordará el diseño de un convertidor flash de 6 bits empleando una arquitectura con interpolación capacitiva y utilizando técnicas de compensación de *offset*.

Antes de comentar la técnica de compensación propuesta en esta Tesis, se comentarán brevemente técnicas clásicas de interpolación y compensación de *offset* en el apartado siguiente.

3.2 Convertidores A/D flash con interpolación y compensación de *offset*.

En este apartado se presenta una serie de técnicas empleadas habitualmente en el diseño de convertidores de tipo flash. Del análisis de las mismas, se obtendrá una imagen más completa de las necesidades y soluciones requeridas en el diseño del convertidor presentado en este trabajo. Entre las técnicas tradicionales, destacan técnicas de mejora de la linealidad tales como implementar la ganancia de los comparadores de forma distribuida o el empleo de técnicas de compensación basado en auto-cero. Así mismo, el uso de técnicas de interpolación para obtener todos los niveles de referencia necesarios sin un coste en área y consumo desorbitado también es habitual en este tipo de convertidores.

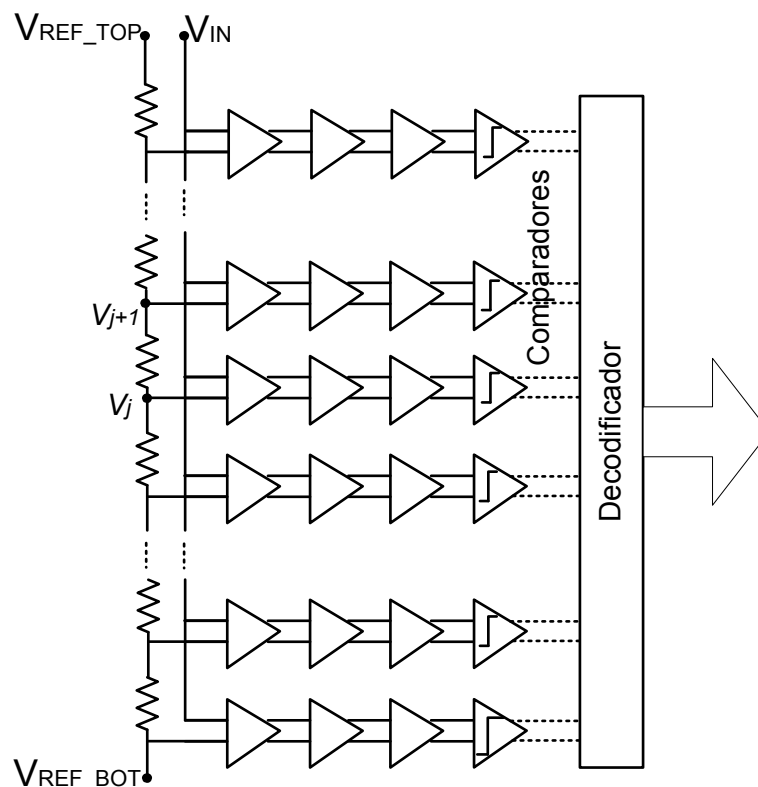


Figura 3.2 - Esquema flash con ganancia distribuida

Con esta técnica -combinada con otras que se explican a continuación- se pretende tanto relajar las especificaciones de diseño sobre los comparadores, como minimizar el impacto de las no idealidades sobre ellos. Debido al alto ancho de banda requerido, es necesario diseñar estos amplificadores con una ganancia moderada. De esta forma, se contribuye a simplificar el diseño de los componentes individuales aunque, eso sí, a costa de incrementar el área y consumo del convertidor inicial basado únicamente en el banco de comparadores.

No obstante, la implementación real de un convertidor como el de la figura supone un coste no asumible en área y consumo. Tomando como ejemplo el convertidor objetivo de esta Tesis, para una resolución de 6 bits tendríamos que disponer de una cadena de amplificación con tres preamplificadores por cada uno de los 63 comparadores. Por tanto, queda claro que se requiere emplear técnicas que permitan simplificar la arquitectura disminuyendo el número de componentes. Esto puede llevarse a cabo combinando la ganancia distribuida con técnicas de interpolación. A continuación se describen algunas de las más usuales.

Una de las técnicas más extendidas es la interpolación resistiva, consistente en añadir resistencias de promediado entre dos amplificadores adyacentes para obtener los niveles de tensión sucesivos (Figura 3.3). No obstante, para un número elevado de componentes se produce un deterioro de la linealidad del convertidor debido a efectos de borde que hacen que puedan encontrarse referencias de tensión fuera del rango cubierto [Pla03]. Este problema hace necesaria la presencia de una serie de referencias adicionales (con sus correspondientes componentes) para compensar este efecto sin pérdida de linealidad a la salida.

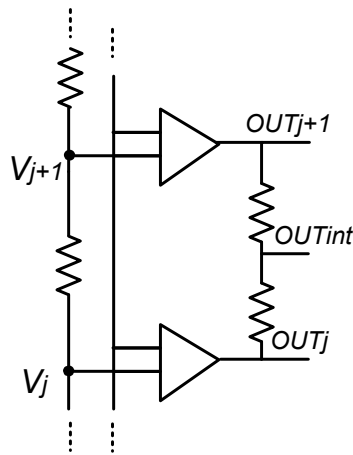


Figura 3.3 - Interpolación resistiva

Otra opción para realizar la interpolación es hacerla mediante capacidades en lugar de resistencias. Las técnicas de interpolación capacitiva presentan, en tecnologías CMOS, una serie de ventajas respecto a la interpolación resistiva.

La interpolación capacitiva utiliza -análogamente- capacidades conectadas a la salida de cada dos amplificadores adyacentes. Gracias a esto, se elimina la necesidad de añadir resistencias de compensación para extender el rango alrededor de los comparadores. Además, la precisión alcanzada con capacidades en los procesos de fabricación CMOS es superior a la obtenida con resistencias, de forma que pueden obtenerse referencias más precisas mediante interpolación capacitiva que empleando la interpolación resistiva. Otra ventaja adicional es que al usar interpolación capacitiva no se requiere de un circuito de muestreo y retención (*S&H*) externo, sino que éste puede implementarse de forma distribuida, empleando para ello las propias capacidades de interpolación. Por el contrario, esta técnica presenta al menos un importante inconveniente: se incrementa sustancialmente la carga a la entrada del convertidor debido a las capacidades, aumentando el consumo de los amplificadores.

En la Figura 3.4 se puede observar el esquema característico de un convertidor de tipo flash usando interpolación capacitiva [Sand05] [Mar08] y cómo se disminuye considerablemente el número de preamplificadores requeridos.

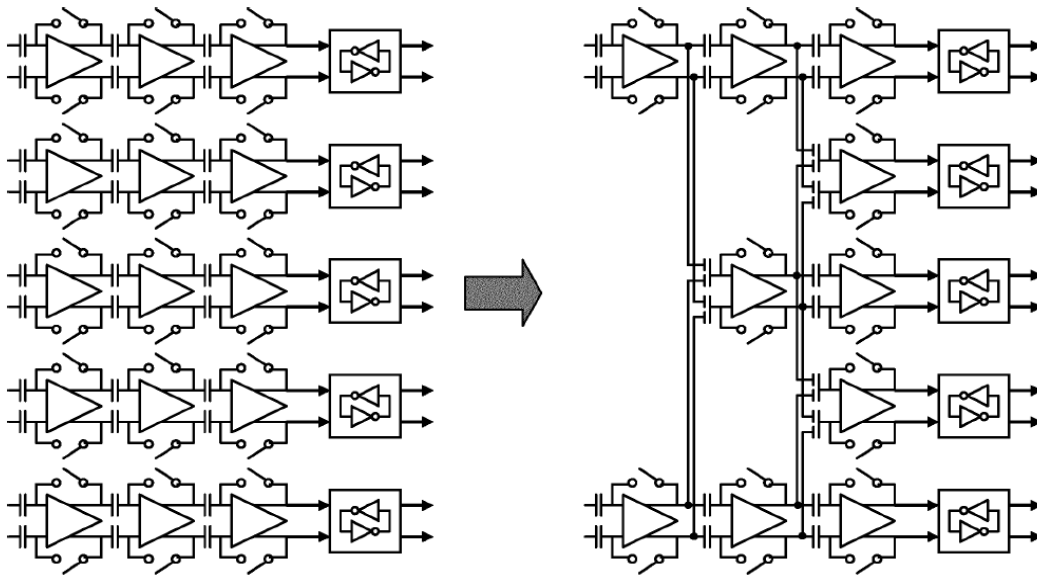


Figura 3.4 - Esquema flash con interpolación capacitiva

El valor de las tensiones interpoladas que se usan como referencia para etapas sucesivas viene dado por la expresión:

$$V_{REF,i} = V_{REFN} + \frac{C_{ai}}{C_{ai} - C_{bi}} (V_{REFP} - V_{REFN}) \quad [3.2]$$

En el caso del convertidor, si se hace $C_a = C_b$ se tendrá un factor de interpolación igual a dos, obteniendo una referencia adicional entre las salidas de cada dos comparadores.

En la Figura 3.5 se representa de forma más detallada el concepto de interpolación capacitiva.

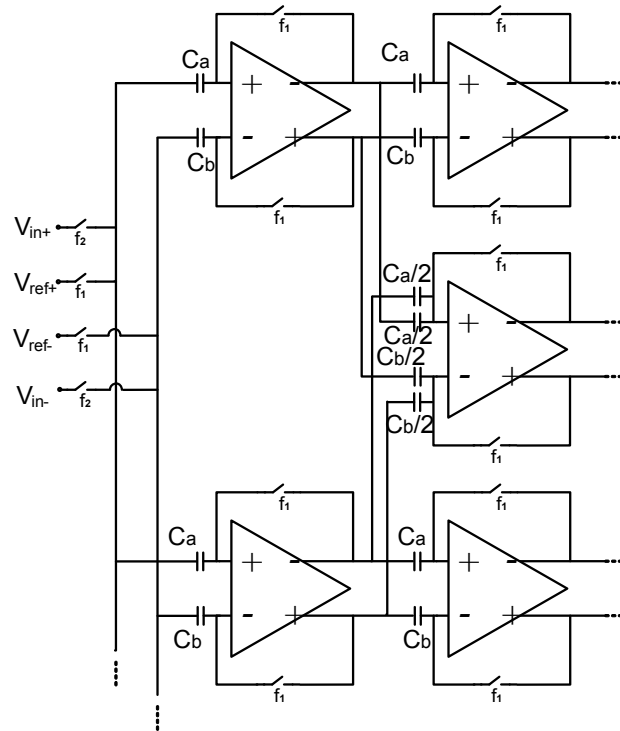


Figura 3.5 - Interpolación capacitiva

Por otra parte, para la compensación de los efectos provocados por no idealidades es necesario complementar estas técnicas con otras de compensación de *offset* de los preamplificadores [Pla03]. Una de las más empleadas en una estructura de interpolación capacitiva es la denominada *auto-cero*.

El principio básico en el que se fundamenta esta técnica se ilustra mediante la Figura 3.6, que muestra un esquema de una sección del *S&H* distribuido implementado con una estructura de interpolación capacitiva. Durante la fase f_1 se almacena en las capacidades C la diferencia entre las tensiones de referencia V_{ref} , así como la tensión de *offset* del preamplificador. Cuando la fase f_2 está activa, la tensión de *offset* almacenada se resta a la diferencia de las entradas V_{in} ; de esta manera, el *offset* queda cancelado y amplificada a la salida la diferencia entre las entradas (V_{in}) y las tensiones de referencia (V_{ref}).

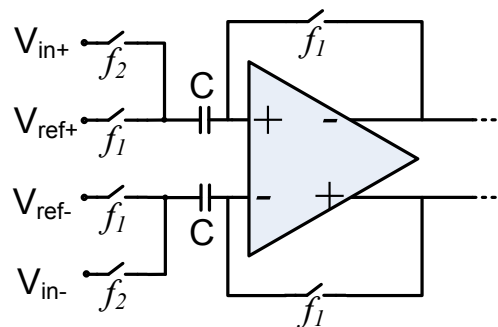


Figura 3.6 - Técnica de auto-cero tradicional

Es importante señalar que el empleo de esta técnica de compensación de *offset* clásica añade a la interpolación capacitiva el inconveniente de requerir el uso de dos fases de reloj no solapadas, con el incremento tanto de consumo como de complejidad para el diseño (rutado de pistas, ruido, menores tiempos de carga para capacidades de interpolación, etc.) que ello conlleva.

Partiendo del análisis de todas las técnicas previamente descritas, se ha desarrollado en esta Tesis una nueva técnica de compensación de *offset* basada en interpolación capacitiva que pretende mejorar las prestaciones de las ya reseñadas. En la próxima sección se detallan las especificaciones de partida y arquitectura del convertidor diseñado, además de describir con mayor detalle la técnica propuesta para el diseño del convertidor flash de 6 bits.

3.3 Especificaciones y arquitectura del convertidor diseñado

En primer lugar, se incluyen en la Tabla 3.1 las especificaciones básicas del convertidor a diseñar, que vienen determinadas por su aplicación para un receptor de comunicaciones inalámbricas siguiendo el estándar Ultra-WideBand (UWB) [Yan04] [Tsa05]:

Tecnología	CMOS 130nm (ST)
Frecuencia de muestreo	1 GHz
Resolución	6 bits
Alimentación	1.2 V
Potencia consumida	<200mW
Rango de entrada	400 mVpp

Tabla 3.1- Especificaciones del convertidor diseñado

En función de estas especificaciones, se considera que el diseño óptimo para cumplir con dicha aplicación es un convertidor de tipo flash. Tras el análisis de los puntos fuertes y débiles de este tipo de convertidores, así como de las técnicas disponibles para optimizar su diseño (sección 3.2), se propone implementar una técnica novedosa de auto-cero combinada con interpolación capacitiva que se describirá a lo largo de esta sección.

La arquitectura elegida será de tipo flash, por lo que, para la resolución de 6 bits requerida, da un total de 63 comparadores necesarios. Se emplearán técnicas de ganancia distribuida combinadas con interpolación capacitiva para disminuir el número de preamplificadores necesarios, resultando en la arquitectura mostrada en la figura siguiente:

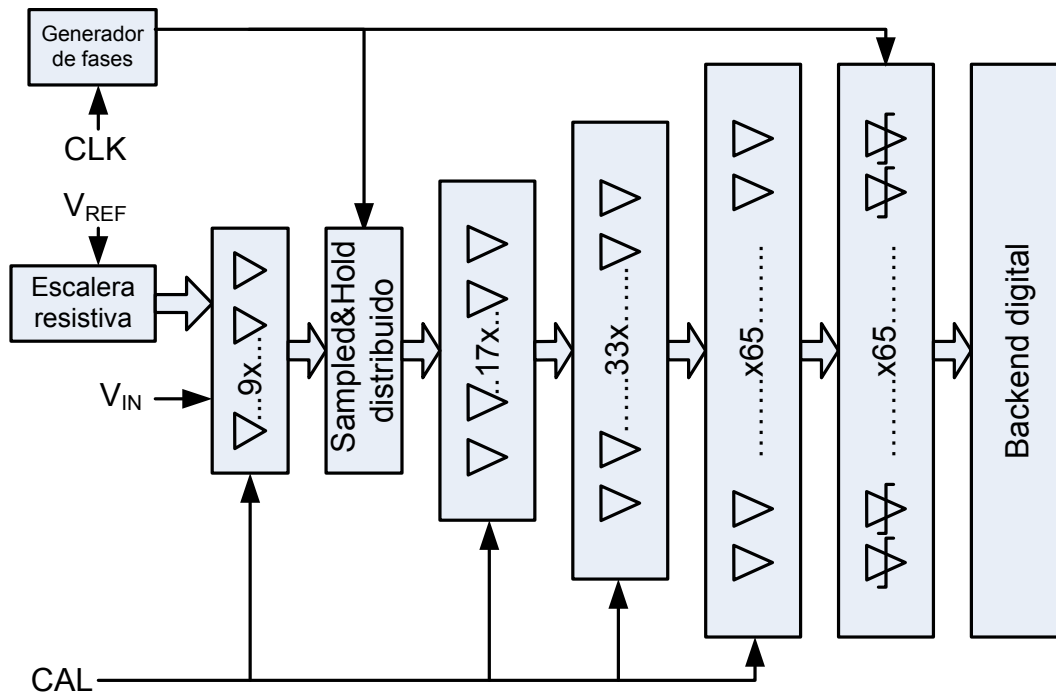


Figura 3.7 - Arquitectura del convertidor A/D flash de 6 bits

En ella puede observarse tanto la estructura general del convertidor como sus componentes básicos, que serán descritos con mayor detalle en la sección posterior. A la entrada del convertidor tendremos un total de nueve referencias – generadas mediante una escalera resistiva- que servirán de entrada para la primera etapa de amplificación, a cuya salida se irán interpolando las tensiones para las etapas sucesivas.

Como puede apreciarse, la arquitectura del convertidor consta de cuatro etapas de preamplificación en las que se aplica interpolación para obtener las tensiones necesarias a la entrada de la siguiente. De esta forma, tendremos primero 9 referencias en tensión, a continuación 17, luego 33 y finalmente 65. Estas referencias llegan al banco de 63 comparadores necesarios para la resolución deseada. A la salida de éstos se obtendrá un código termométrico que debe ser convertido en la salida binaria de 6 bits mediante la lógica digital del *backend*.

Se ha implementado un circuito de S&H distribuido entre la primera y segunda etapa, usando para ello técnicas de interpolación capacitiva. Con ello, se evita tener que implementar un S&H externo –difícil de conseguir con bajo consumo a elevadas frecuencias-, así como se reduce drásticamente la carga a la entrada -tradicional desventaja de esta técnica en convertidores A/D.

El esquema resultante puede apreciarse en la figura siguiente:

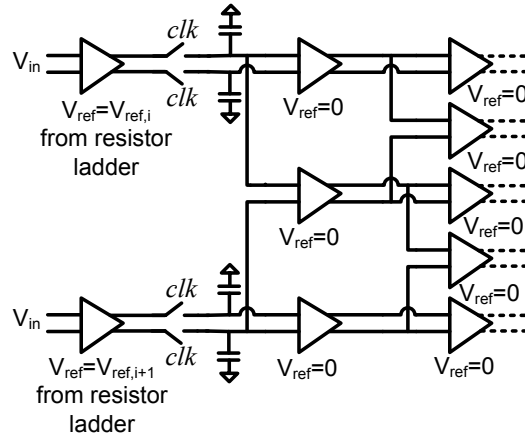
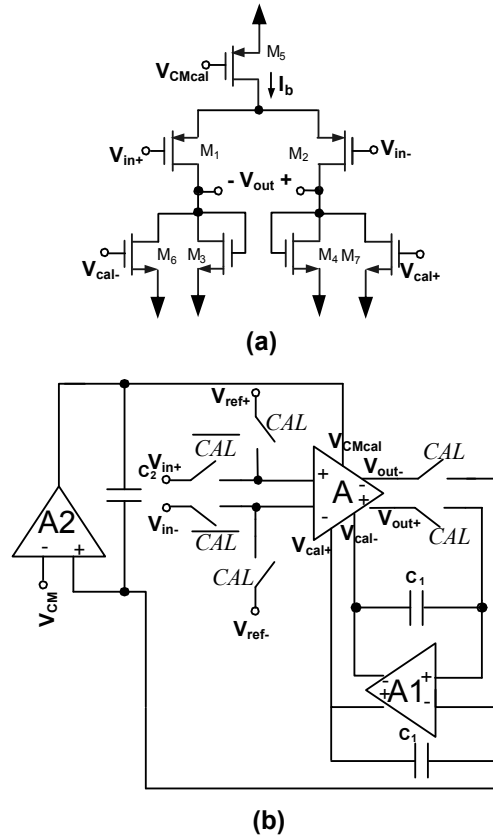


Figura 3.8 - Detalle de S&H e interpolación de tensiones

Como puede verse en el esquema anterior, una vez que se ha muestreado la señal a la salida de la primera etapa, ésta pasa a las etapas sucesivas sin necesidad de volver a cargar más capacidades a la salida de los amplificadores, permitiendo con ello relajar un poco los requerimientos de ancho de banda y disminuir el consumo. Esto es posible gracias a la técnica novedosa de auto-cero basada en calibración analógica que será presentada con mayor detalle a continuación. En la Figura 3.9 puede verse el esquema para la compensación de *offset* utilizando la técnica propuesta en esta Tesis Doctoral.

Figura 3.9 - Compensación de *offset* mediante calibración

Se pretenden mejorar los problemas esenciales que planteaban las técnicas con auto-cero tradicional basadas en interpolación capacitiva, que pueden resumirse esencialmente en:

- Elevada carga a la entrada del convertidor A/D debido a las capacidades del S&H.
- Necesidad de emplear dos fases de reloj no solapadas.
- Necesidad de disminuir la capacidad de carga a la salida de cada preamplificador para reducir el consumo.

A grandes rasgos, el funcionamiento de la técnica presentada se basa en dos ciclos de operación: uno en modo de calibración y otro en funcionamiento normal. La idea básica de esta técnica es realizar periódicamente pequeños ciclos de refresco o calibración (cuando la señal CAL permanece activa) en los que se corrige el error de *offset* y modo común al conectar amplificadores auxiliares a los nodos correspondientes del amplificador principal. El resto del tiempo, el amplificador funciona realizando la conversión con las señales que se pretende comparar conectadas a su entrada durante un periodo de tiempo en el que tanto el *offset* como el modo común permanecen calibrados a su valor correcto.

Es importante señalar que, con el esquema propuesto, tan sólo es necesario utilizar una señal de reloj (para muestrear las tensiones a la entrada del amplificador) en lugar de dos no solapadas –a diferencia de lo que ocurre con la técnica clásica de auto-cero–, con el consiguiente ahorro de complejidad y consumo. El funcionamiento de este esquema para cada etapa de amplificación se explica con más detenimiento en la sección 3.4.1.

Una vez descrita la arquitectura general del convertidor A/D, se van a detallar en el apartado siguiente los esquemas y funcionamiento de los distintos bloques constitutivos del diseño realizados.

3.4 Diseño de bloques constructivos del convertidor A/D flash

La estructura del convertidor flash de 6 bits se recoge en la Figura 3.7, donde pueden reconocerse los bloques constructivos siguientes:

- Cuatro etapas de ganancia constituidas por preamplificadores.
- Un banco de 63 comparadores a la salida.
- Un *backend* digital para conversión del código termométrico.
- Una escalera resistiva a la entrada del convertidor A/D.

Cabe señalar que el circuito de muestreo y retención (S&H) no es un bloque en sí mismo, pues se implementa de forma distribuida utilizando las capacidades de interpolación localizadas entre la primera y segunda etapa de ganancia.

Adicionalmente, se puede considerar también el bloque para la generación de las señales de reloj, aunque se compone únicamente de una serie de buffers e inversores dimensionados para generar una señal de reloj (y su negada) a partir de una señal sinusoidal externa.

3.4.1 Etapas preamplificadoras

Como puede apreciarse en la Figura 3.7 (sección 3.3), las etapas preamplificadoras constituyen el bloque más numeroso de toda la arquitectura. En total, existen cuatro etapas de ganancia que van incrementando sucesivamente el número de preamplificadores con un factor 2 de interpolación.

El preamplificador principal de alta frecuencia sobre el que se aplica la técnica de compensación de *offset* viene definido por el esquema mostrado en la Figura 3.10.

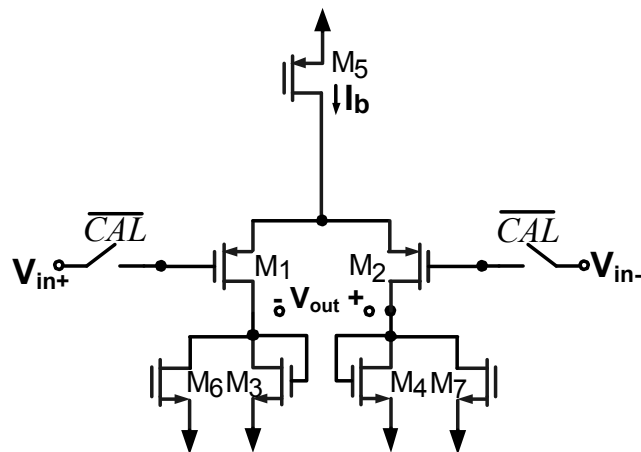


Figura 3.10 - Esquema del preamplificador principal

La arquitectura utilizada será común para el diseño de los preamplificadores de las cuatro etapas, variando entre sí tan sólo el dimensionamiento de los transistores. Se trata de un preamplificador basado en un par diferencial de entrada (M1, M2) con carga en conexión diodo (M3, M4). Los dos transistores adicionales (M6, M7) son usados para compensar el error de offset. Sobre este esquema básico, de baja ganancia y alta velocidad, se realizará la compensación basada en auto-cero mediante un bucle de realimentación, tanto del error de *offset* como del modo común. La técnica propuesta se aplica de forma análoga en las cuatro etapas preamplificadoras, por lo que se explica a continuación su funcionamiento general y posteriormente se comentarán las modificaciones para su uso en la primera etapa.

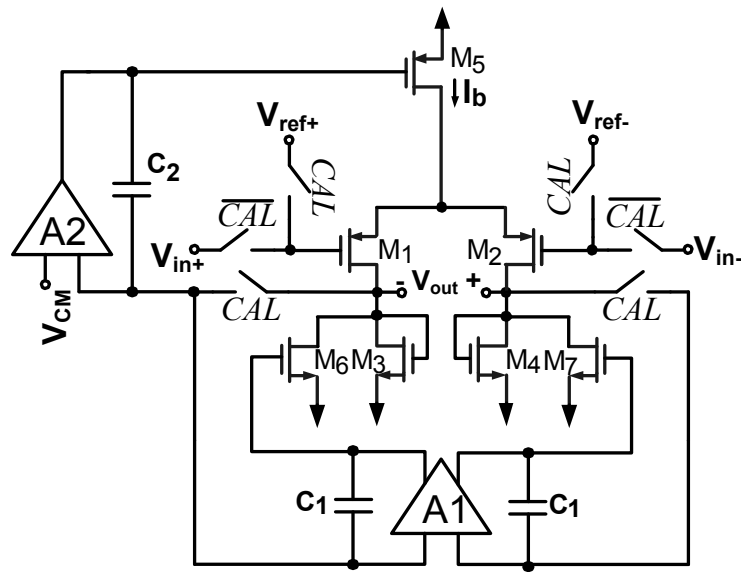


Figura 3.11 - Etapa preamplificadora con auto-cero

En la Figura 3.11, se representa la estructura de una de las etapas preamplificadoras. Se observa, además del amplificador principal, dos amplificadores adicionales (A1 y A2) son empleados para la compensación del *offset* y modo común mediante un esquema realimentado. Por un lado, A1 implementa un bucle de compensación del error de *offset* del amplificador principal, mientras que A2 realiza lo propio para el control de modo común.

Como se comentó en el apartado anterior, esta técnica de compensación se basa en un funcionamiento en dos etapas: modo de calibración ($CAL=1$) y funcionamiento normal ($CAL=0$). A continuación, se explican ambos ciclos.

a) Modo de calibración

La disposición del preamplificador en este ciclo se representa en el esquema de la fig. 3.12. En este modo de funcionamiento, la señal *CAL* permanecerá activa a nivel alto, conectando el bucle de realimentación del amplificador A1 con la salida del preamplificador. Debido a esto, se almacena en

Durante el modo de operación normal, las capacidades C_1 y C_2 se desconectan de los nodos de salida y sus respectivos bucles de realimentación quedan inactivos. De esta manera, es posible alcanzar una muy alta frecuencia de operación con bajo consumo.

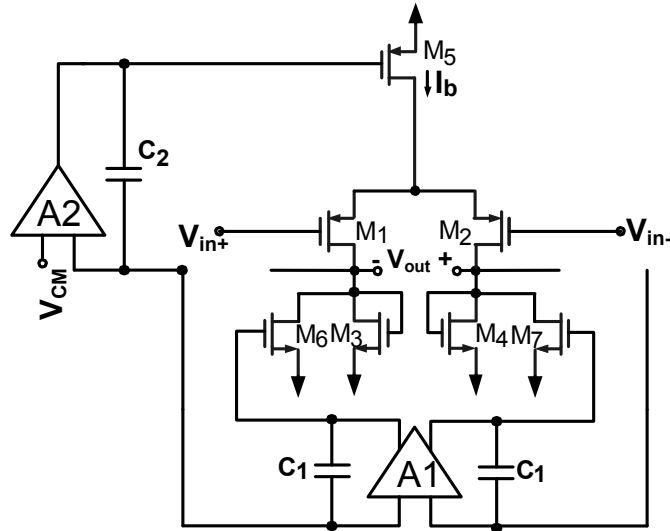


Figura 3.13 - Esquema preamplificador en funcionamiento normal

Mientras las capacidades C_1 y C_2 mantienen su carga, la tensión de *offset* del amplificador principal se mantiene a su valor correcto y la etapa conserva su calibración. Desafortunadamente, las corrientes de fuga de los interruptores colocados a la salida del amplificador de alta frecuencia descargarán estos condensadores. Inicialmente, para mantener el convertidor calibrado de forma correcta durante largos períodos, estos condensadores deberían tener un valor bastante grande.

Por otra parte, los amplificadores utilizados en los bucles de realimentación están diseñados para tener una elevada ganancia en DC y un bajo *offset*, mediante el uso de arquitecturas convencionales de dos etapas con transistores de entrada lo suficientemente anchos. Al funcionar a baja frecuencia, su consumo puede ser minimizado con mayor sencillez. Los esquemas empleados pueden observarse en las Figuras 14 a) y b).

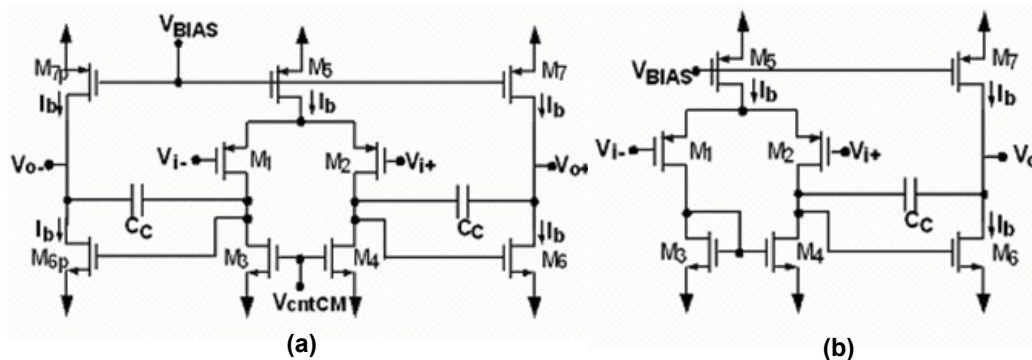


Figura 3.14 - a).- Amplificador A1 (bucle para compensación de *offset*)
b) Amplificador A2 (bucle de control de modo común)

3.4.2 Comparadores

Los comparadores constituyen uno de los bloques de mayor importancia en la conversión A/D. Se trata de una etapa clave en la conversión, puesto que lleva a cabo la decisión del valor de salida en función del nivel de la entrada respecto a los distintos niveles de referencia disponibles.

Tradicionalmente, su precisión es fundamental y constituye uno de los puntos de mayor exigencia en las especificaciones. En el caso de la arquitectura propuesta, al haber añadido previamente los preamplificadores, se consigue una reducción de los requerimientos de diseño de los comparadores, pudiendo obtener con menor consumo un funcionamiento a altas velocidades.

El banco de comparadores lo forman un total de 63 dispositivos, por lo que un adecuado diseño para minimizar el consumo se hace imprescindible. Teniendo en cuenta estas consideraciones, se opta por implementar un comparador de alta velocidad y bajo ruido [Yin92] cuyo esquema es el mostrado en la figura 3.15.

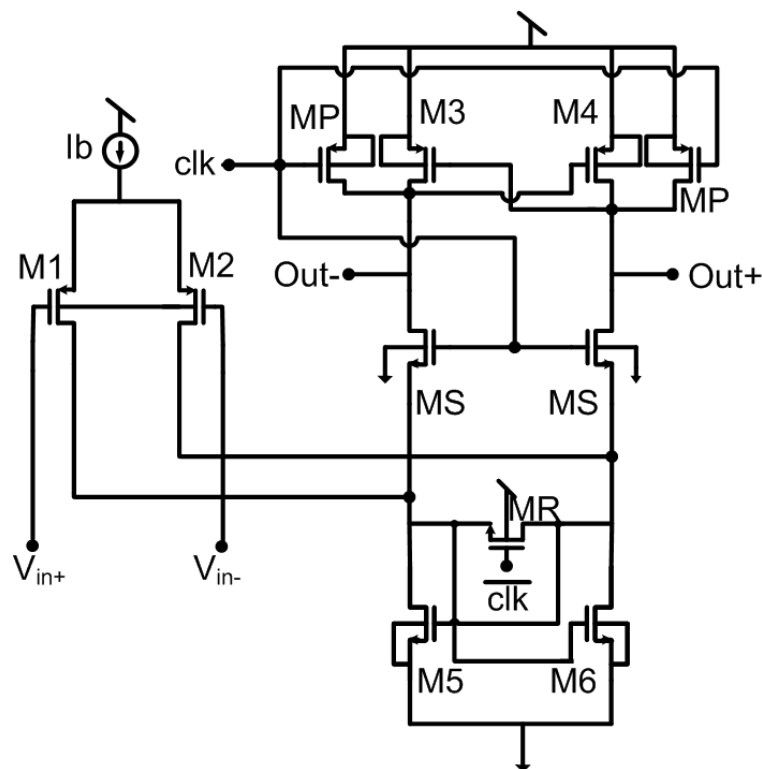


Figura 3.15 - Arquitectura del comparador

El comparador elegido está compuesto básicamente por un par diferencial de entrada (M1, M2) y un latch CMOS. La señal de entrada diferencial, proveniente de las etapas de amplificación, se amplifica nuevamente a la entrada por el par diferencial pMOS para prevenir problemas de metaestabilidad y reducir el ruido de *kick-back*. Después, la señal pasa al latch de la parte derecha, constituido por un par de flaps-flops complementarios (M2, M3 de canal p; M4,

M5 de canal n), dos interruptores que los interconectan (MS), un interruptor de reset (MR) y los interruptores de pre-carga (MP). El circuito está controlado por una señal de reloj que define la operación del mismo en dos fases diferenciadas: reseteo y regeneración.

En la fase de reseteo la señal de reloj estará a nivel bajo ($\text{clk} = '0'$), y el camino de señal entre ambos latches (M2, M3 y M4, M5) permanecerá desconectado, de forma que las dos ramas de salida quedan fijadas a un mismo valor a través de los transistores de reset (MR) y precarga (MP), respectivamente. En la parte inferior (latch N), el transistor de reset (MR) actúa como un interruptor, igualando la tensión entre ambas ramas del comparador, mientras que en la parte superior (latch P) los transistores de precarga (MP) colocan en los nodos de salida el valor de la tensión de alimentación.

Cuando la señal de reloj pasa a estar activa ($\text{clk} = '1'$), la fase de regeneración comienza y ambos flips-flops se encuentran en saturación para maximizar su ganancia, preparados para amplificar la diferencia de tensión que aparezca entre los drenadores del par diferencial de entrada. La señal de reloj empleada como lógica de control del comparador puede ser la misma que se emplea para el circuito de muestreo distribuido de la primera etapa, ya que la salida de los preamplificadores de la segunda etapa y sucesivas es continua (salvo los eventuales tiempos de refresco). De esta manera, no es necesario utilizar una fase adicional para el comparador, con el consiguiente ahorro en complejidad y consumo.

La salida del banco de comparadores será la obtenida en los ciclos de regeneración, dando lugar a un código termométrico que deberá ser convertido en uno binario por el *backend* digital, que es descrito a continuación.

3.4.3 Backend digital

El bloque del *backend* constituye la interfaz entre los dominios analógico y digital del convertidor A/D, transformando un código termométrico a otro binario, siguiendo el patrón ilustrado en la siguiente tabla.

Código termométrico	Salida
0000000	000
0000001	001
0000011	010
0000111	011
0001111	100
0011111	101
0111111	110
1111111	111

Tabla 3.2- Conversión termométrico-binario para N = 3 bits

Por tanto, inicialmente se trata de diseñar un decodificador digital teniendo en cuenta una serie de aspectos tales como la ocupación de área, la complejidad arquitectural, la velocidad de procesamiento, etcétera. Un criterio adicional a tomar en consideración es la robustez frente a errores, no ya en la propia conversión por parte del decodificador sino en la secuencia de entrada al mismo. En particular, han de tenerse en cuenta los “errores de burbuja” que suelen afectar a códigos termométricos. Para esta tarea, se realizó un estudio bibliográfico que contempla diversas posibilidades para su implementación, permitiendo determinar la más adecuada tanto a nivel de arquitectura como de funcionalidad.

Los llamados “errores de burbuja” consisten en la inserción no deseada de un “0” dentro de la secuencia de “1” lógicos consecutivos a la entrada del decodificador [Pla03]. Como muestra la tabla 2, la secuencia de entrada siempre va a presentar la estructura de una sucesión de “1” consecutivos hasta un punto en que el resto de bits sean “0”. Estos niveles provienen de los comparadores, por lo que están sujetos a posibles fallos debidos a no idealidades o errores transitorios, pudiendo generar cambios en la secuencia termométrica que afecten a la conversión. Por ello, es necesario implementar una lógica adicional que permita corregir estos fallos, además de tener en cuenta la robustez del esquema elegido ante este tipo de errores.

Tomando esto en consideración, el *backend* digital constaría con el par de bloques ya descritos más la lógica secuencial necesaria para almacenar los valores obtenidos de los comparadores, permitiendo un funcionamiento síncrono del sistema. Así, el esquema inicial previsto para la conversión de un código termométrico (para N bits) será similar al siguiente:

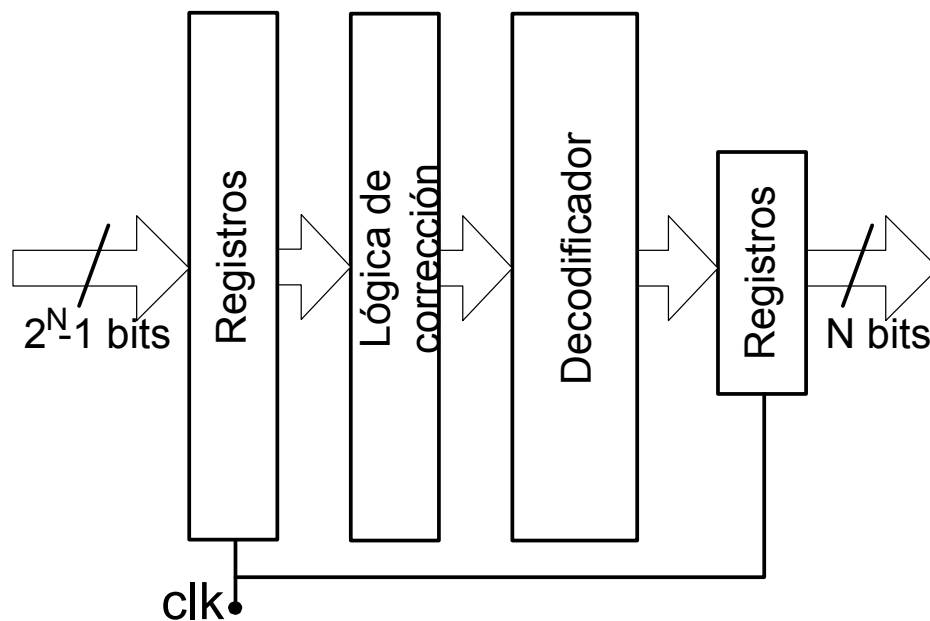


Figura 3.16 - Esquema genérico para backend digital

En primer lugar, diseñamos la lógica de corrección de errores basada en puertas lógicas de tres entradas. La idea básica es eliminar las posibles inserciones de ceros no deseados en la secuencia del código termométrico, para lo cual usaremos la función descrita por la siguiente tabla de verdad:

Entradas (C B A)	Salida (S)
0 0 0	0
0 0 1	0
0 1 0	0
0 1 1	1
1 0 0	0
1 0 1	1
1 1 0	1
1 1 1	1

Tabla 3.3- Tabla de verdad para implementación de lógica de corrección

donde la entrada B sería el bit de la entrada correspondiente a evaluar, mientras A y C los bits anterior y posterior, respectivamente, en la secuencia termométrica de entrada. Esto se corresponde con la función: $S = AB + BC + AC$.

A continuación, se comentan las principales implementaciones estudiadas para el decodificador y se justifica la elección del esquema propuesto.

3.4.3.1 Decodificador ROM

Un esquema tradicional es el denominado decodificador ROM, que se muestra en la figura 3.17 antecedido de un convertidor A/D de tipo flash cuyas salidas de los comparadores ($2^N - 1$) van a la entrada del mismo.

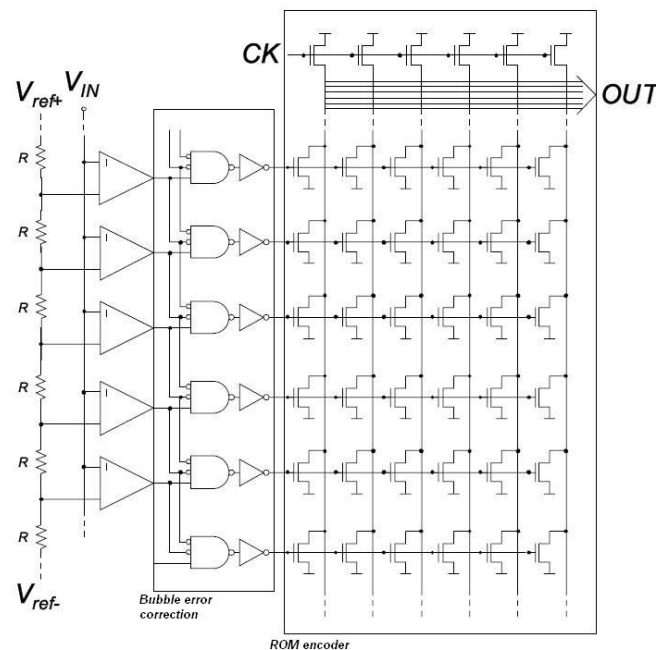


Figura 3.17 - ADC flash con decodificador ROM y lógica de corrección [KanJ99]

El esquema está basado en una matriz de transistores que codifican a la salida los distintos estados binarios correspondientes a cada entrada termométrica. Cuando la entrada m en la que se produce el cambio de estado se activa, se selecciona la fila de transistores correspondiente, generando el código binario a la salida. Éste estará codificado mediante la presencia o no de transistores en cada celda, según se requiera un nivel bajo o alto de la salida binaria (análogo a una celda de memoria ROM).

En este caso, para la selección de la fila apropiada se podría optar por una lógica de control basada en puertas AND de dos entradas. A ellas se conectaría tanto la salida de cada comparador m como la salida negada del comparador $m+1$. No obstante, esta lógica de selección puede ser demasiado vulnerable a errores de burbuja, puesto que un error simple causado por la inserción de un “0” provocaría la activación de dos filas distintas. Para minimizar este efecto, en lugar de usar puertas AND de dos entradas sería preferible conectar a cada comparador una puerta NAND de tres entradas como en la

Figura 3.17. A ella se conectarían la salida del comparador m y las salidas negadas de los dos comparadores siguientes ($m+1$, $m+2$). Con ello, se asegura la corrección de todos los errores de burbuja aislados (con separación mínima de tres bits entre ellos) del código termométrico de entrada.

Las ventajas que presenta esta arquitectura son una disposición enormemente regular y relativamente simple por tratarse de una matriz de transistores. Sin embargo, sus prestaciones a nivel de velocidad y consumo no son especialmente buenas. Además, al basar la conversión únicamente en la selección de una fila, resulta más vulnerable a errores, puesto que su elección depende de un único valor “1” proveniente de la lógica de corrección.

3.4.3.2 *Fat-tree encoder*

El siguiente esquema es el denominado *Fat-tree encoder*, que puede apreciarse en la Figura 3.18. Esta solución aporta una mayor velocidad al realizar la codificación únicamente con puertas digitales, basándose para ello en puertas OR que van transfiriendo mediante operaciones lógicas el valor “1” que tengan a la entrada.

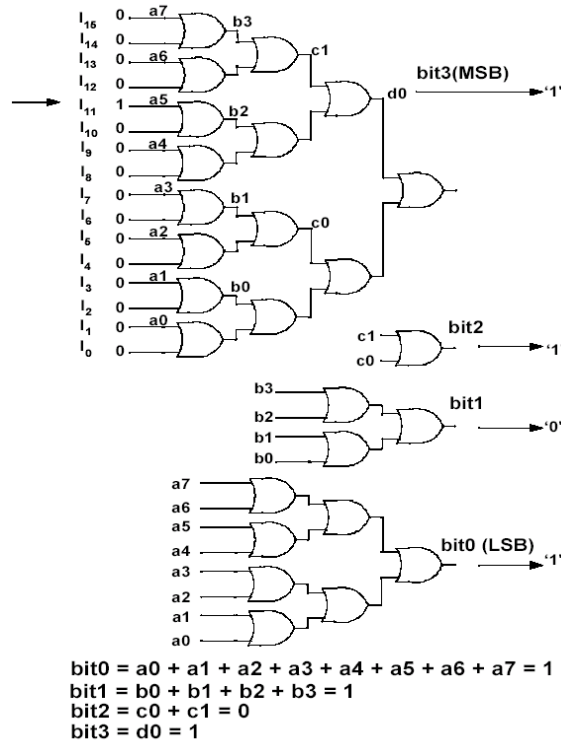


Figura 3.18 - Fat-tree encoder para N=4 bits (sin lógica de corrección) [Lee04]

Este esquema también requiere de una lógica de corrección previa similar a la empleada en el apartado 1.4.3.1, pues igualmente realiza la conversión de código a partir de la transición de “1” a “0” en las entradas. Por ello, presentaría la misma complicación ya comentada para acotar el error debido a errores de burbuja no aislados.

Además, esta arquitectura presenta el inconveniente de tener una menor regularidad entre las distintas salidas del decodificador. En consecuencia, presenta mayores problemas de temporización, debido a las diferencias de caminos combinacionales, complicando su funcionamiento al incrementarse la velocidad.

3.4.3.3 Wallace tree encoder

La siguiente estructura analizada es el decodificador de árbol de Wallace (*Wallace tree*), también llamado contador de unos (*Ones-counter encoder*). El esquema en que se basa se observa en la Figura 3.19. Consta como elemento básico de un bloque denominado árbol de Wallace, compuesto de una serie de celdas unidad para realizar la conversión mediante un proceso de cuenta de “1” lógicos a la entrada.

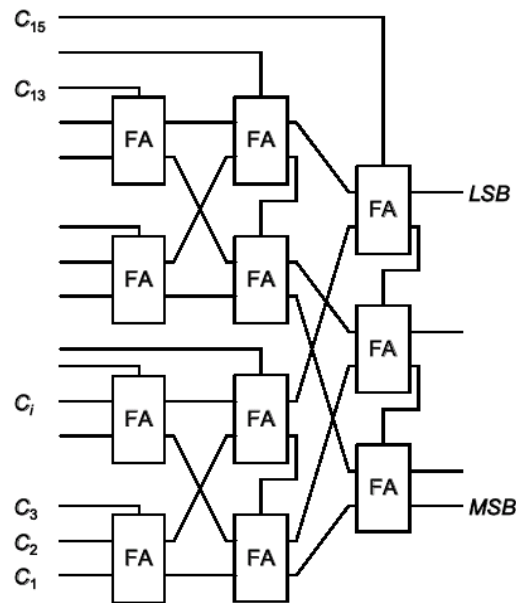


Figura 3.19 - Wallace-tree encoder para N=4 bits [KanJ99]

En este esquema, cada celda unidad del árbol (FA^2) es un sumador con acarreo que realiza una cuenta de los “1” que encuentra a su entrada, cumpliendo con la tabla de verdad siguiente:

Nº de unos a la entrada	Salida FA
0	00
1	01
2	10
3	11

Tabla 3.4- Algoritmo para celdas sumadoras (FA) en árbol de Wallace

La principal ventaja que presenta es que incorpora por sí mismo una corrección de errores de burbuja global (*global error correction* o *bit swapping*). En este esquema, los posibles errores de burbuja que se encuentren a la entrada no generarán un cambio brusco del nivel de decisión, al no depender de la transición entre “0” y “1” sino del número total de unos que resulta de la cuenta. No obstante, el efecto de estos posibles errores será acumulativo, provocando igualmente un error de desplazamiento del nivel. En cualquier caso, dicho error será de menor magnitud, en general, que en los esquemas anteriores, pudiendo además minimizarse mediante un bloque previo de corrección.

Por contra, la estructura basada en árboles de Wallace puede tener unos caminos críticos demasiado complejos, llegando a suponer una limitación en velocidad que impida alcanzar las frecuencias de funcionamiento deseadas. Para mejorar dicho aspecto, suele utilizarse una versión retocada de este esquema (apartado 1.4.3.4) que simplifica la implementación de esta estructura.

² FA: Full Adder (sumador con acarreo)

3.4.3.4 Folded Wallace tree encoder

El esquema analizado a continuación se conoce como decodificador de árbol de Wallace plegado (*Folded Wallace tree*) y se trata de una mejora respecto al *contador de unos* ya descrito. Se basa en la misma estructura comentada (árbol de Wallace), pero aplicando técnicas de multiplexión para simplificar el esquema. La idea básica consiste en utilizar un módulo central del contador de unos más sencillo y multiplexar las salidas de los comparadores que éste recibe.

Así, se implementa un árbol de Wallace de $N-k$ bits para una conversión a N bits de salida, dividiendo las líneas de entrada al mismo en 2^k grupos multiplexados para acceder a él. Esta estructura puede observarse en la figura siguiente:

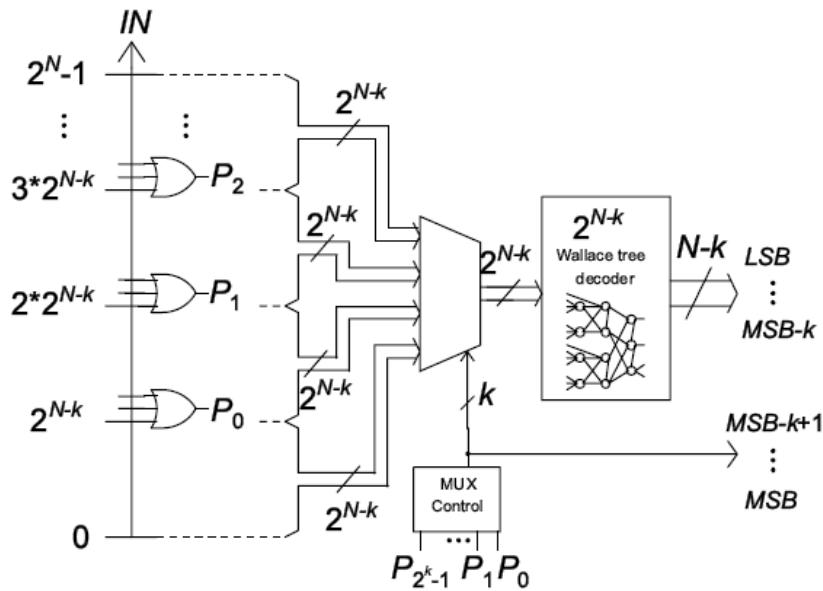


Figura 3.20 - Folded Wallace-tree encoder genérico para N bits [Sal04a]

Con el uso de esta estructura, se disminuye la complejidad del diseño del árbol de Wallace y se consigue disminuir la longitud de los caminos críticos, permitiendo, por tanto, una mayor velocidad. La corrección de errores no presenta, en principio, gran variación respecto al esquema anterior con las modificaciones descritas.

3.4.3.5 Decodificador basado en multiplexores

La última arquitectura que vamos a analizar es un decodificador basado en multiplexores (*MUX-based encoder*). El esquema para 4 bits puede apreciarse en la figura 3.21.

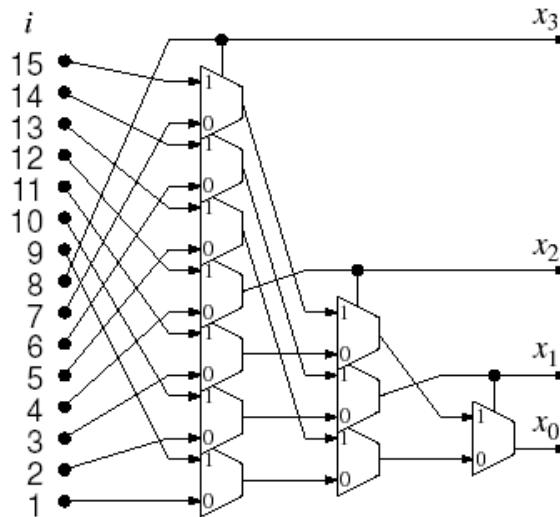


Figura 3.21 - Decodificador basado en MUX para N=4 bits [Sal04b]

Como su propio nombre indica, se basa en varias etapas de multiplexores que van seleccionando progresivamente las entradas siguiendo un algoritmo de conversión digital del código. El principio de funcionamiento se basa en tomar como valor de selección el bit intermedio de cada grupo de entradas, de forma que en cada etapa se va discriminando entre la mitad superior e inferior de los valores disponibles. La conversión se realiza de un modo relativamente sencillo, e implementa a su vez una corrección de errores sobre las posiciones de bit impares. En cualquier caso, la mayor ventaja que presenta este esquema es su gran velocidad, gracias a su reducido camino crítico, y su regularidad en el diseño que facilita el rutado.

3.4.3.6 Estudio comparativo

Una vez vistos las distintas posibilidades, en este apartado se justifica la elección en base a diversos criterios relacionados con su robustez frente a errores, complejidad y frecuencia de funcionamiento.

En primer lugar, basándonos en el código que reciben a la entrada (conversión de tipo M a 1), pueden descartarse tanto el decodificador ROM como el *Fat-tree*, puesto que son más sensibles a errores al realizar la conversión únicamente atendiendo a la transición de “0” a “1” (o viceversa) del código de entrada.

El criterio que se sigue para evaluar la robustez frente a los errores es el ENOB o resolución efectiva del convertidor. En la Figura 3.22, se representa dicho ENOB para distintos esquemas aplicables a un CAD de 6 bits, en función de la diferencia de tiempo entre las líneas de señal y de reloj para diversos circuitos. Para el caso expuesto, se ha asumido que la diferencia de tiempos Δt tiene una distribución Gaussiana, con desviación estándar σ_t y una entrada senoidal de amplitud igual al fondo de escala. En esas condiciones, la desviación puede modelarse como un *offset* a la entrada de los comparadores [Sal04b].

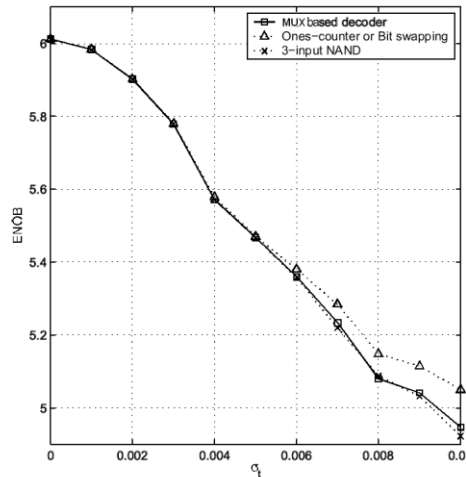


Figura 3.22 - Resolución efectiva de distintos esquemas respecto a la desviación estándar de la diferencia temporal entre reloj y señal [Sal04b]

En dicha figura, se representa la ENOB para tres esquemas: un decodificador ROM con lógica basada en NAND de 3 entradas, un contador de unos basado en árbol de Wallace y un decodificador basado en MUX. Las prestaciones del árbol de Wallace y el decodificador basado en MUX son similares, aunque con una leve mejoría de aproximadamente 0.1 bits a favor del esquema contador de unos para desviaciones mayores. Por otra parte, considerando otros criterios, como la complejidad arquitectural o el consumo, el esquema basado en árbol de Wallace sería menos eficiente para el diseño.

Por último, se evalúan los tres diseños seleccionados en términos de velocidad y ocupación de área. En la Tabla 3.5 se resume la exigencia de lógica y camino crítico de cada esquema en función del tiempo crítico de una celda multiplexora (t_{mux}):

Esquema decodificador	Nº de multiplexores	Camino crítico
Árbol de Wallace	171	18 t_{mux}
Árbol de Wallace plegado	85	12 t_{mux}
Basado en MUX	57	5 t_{mux}

Tabla 3.5- Requerimientos de distintos esquemas para ADC flash de de N=6 bits [Sal04b]

En vista de los datos, la opción del decodificador basado en multiplexores resulta la más eficiente para un convertidor de alta velocidad, teniendo el menor número de componentes y mejor camino crítico. En consecuencia, la arquitectura basada en etapas de multiplexores será finalmente el decodificador elegido para el diseño presentado en esta Tesis.

De esta forma, queda definido el *backend* digital para un código binario de salida de 6 bits, restando únicamente por añadir una etapa de registros que proporcione la disponibilidad de los datos de forma síncrona. A continuación, pasamos a describir con mayor detalle los aspectos relacionados con la implementación y diseño del convertidor A/D flash en el entorno de Cadence.

3.4.4 Implementación del convertidor A/D

En este apartado van a describirse los diseños finalmente implementados en el software de diseño de Cadence, empleando para ello la tecnología CMOS de 130 nm de ST Microelectronics. Se muestran a continuación tanto las especificaciones de partida para el diseño, como los esquemas finalmente implementados, así como consideraciones de diseño adicionales que se estimen oportunas.

Como se ha explicado anteriormente, el diseño del convertidor consta básicamente de los siguientes componentes esenciales:

- Preamplificadores.
- Comparadores.
- Decodificador digital.

También forman parte del esquema los interruptores para muestreo de señales, así como un generador de reloj encargado de dar lugar a la señal de reloj que controla el *sample & hold* distribuido.

3.4.4.1 Arquitectura global

La arquitectura del convertidor viene dada por una estructura de 4 etapas preamplificadoras basada en interpolación de tensiones entre cada una de ellas y la posterior, que culmina en el banco de comparadores para realizar la conversión A/D. El esquema correspondiente a esta estructura ya fue definido en la sección 3.3 (Fig. 3.7), y se corresponde con la implementación en Cadence ilustrada en la figura 3.23, que muestra un detalle de la interpolación completa.

El esquema representado constituye el bloque principal de conversión A/D, compuesto por los preamplificadores y el banco de comparadores. Dicho bloque recibe como entradas las nueve referencias de tensión a través de la escalera resistiva, y proporciona los 63 niveles de salida en código termométrico.

En la Figura 3.23 pueden distinguirse las distintas etapas preamplificadoras ya descritas, así como la estructura de interpolación con factor 2 (sección 3.3, Fig. 3.8), mediante la que se obtiene una nueva referencia a la entrada de las etapas sucesivas a partir de cada dos salidas de la anterior. También puede observarse, a la salida de la primera etapa, la implementación distribuida del *sample & hold* mediante interruptores y condensadores.

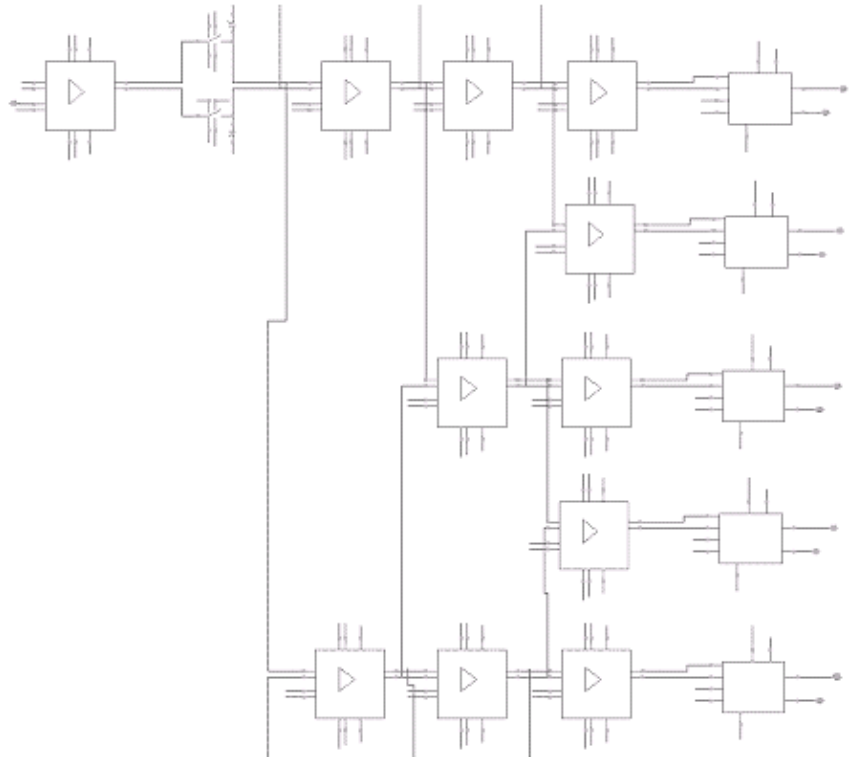


Figura 3.23 - Detalle de implementación del convertidor A/D flash de 6 bits

A continuación, se pasa a describir individualmente y de forma más detallada el diseño e implementación de los principales componentes del convertidor ya mencionados, incluyendo resultados de simulación.

3.4.4.2 Etapas preamplificadoras

Como ya se ha comentado previamente, el convertidor diseñado consta de varias etapas preamplificadoras con la finalidad de implementar una ganancia distribuida entre todas ellas a la vez que vamos obteniendo los distintos niveles de tensión necesarios mediante interpolación.

A partir de las simulaciones a nivel de sistema realizadas mediante macromodelos AHDL, se determinan las especificaciones necesarias para la cadena de amplificación. Para obtener la precisión requerida por las especificaciones (el valor de tensión correspondiente a un LSB es de 3.25 mV), la ganancia total deseada para el convertidor debe estar en torno a 20-25 dB, y el ancho de banda como mínimo al doble de la frecuencia deseada de

funcionamiento (1 GHz). Teniendo esto en cuenta, las especificaciones deseadas para cada etapa de preamplificación serán:

$$BW = 2.5 \text{ GHz}$$

$$G = 6 \text{ dB}$$

El esquema de una etapa preamplificadora se vuelve a representar, por claridad, en la Fig. 3.24. En ella puede observarse: a) el amplificador principal, b) la etapa con el amplificador anterior (A) y los amplificadores de compensación de *offset* (A1) y modo común (A2). El amplificador principal se compone de un par diferencial de entrada (M1, M2) y un par de transistores que actúan como cargas resistivas (M3, M4). El transistor M5 es el encargado de la polarización del circuito, mientras que M6, M7 realizan la compensación de *offset* como se explicó anteriormente (sección 3.3).

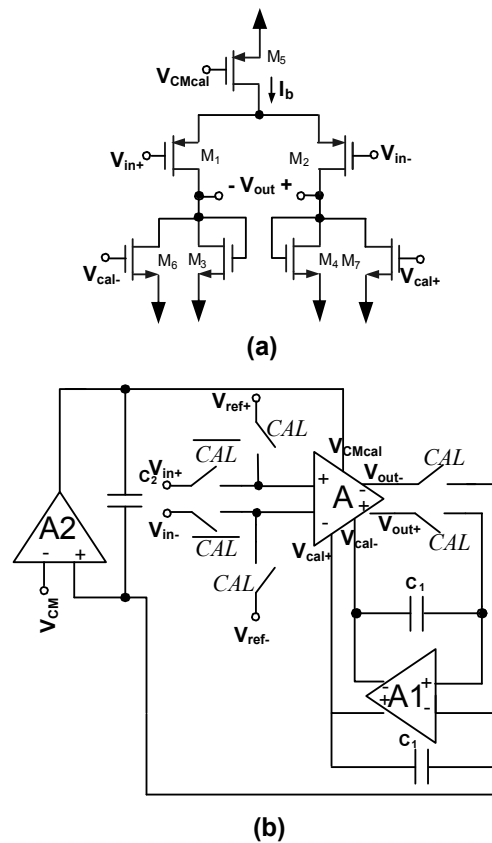


Figura 3.24 - a) Amplificador principal de alta frecuencia b) Etapa amplificadora con compensación de *offset* y modo común

El diseño de este amplificador operacional se lleva a cabo de forma análoga para las cuatro etapas de amplificación, con la salvedad de ir disminuyendo progresivamente el tamaño de los transistores, pues también disminuye la carga de una etapa a otra, bajando así el consumo. Sobre este circuito, además de imponer como especificaciones de funcionamiento el ancho de banda y ganancia en frecuencia, se fija un modo común a la entrada y salida de 550 mV.

Los valores elegidos para la implementación del amplificador principal en cada una de las etapas se recogen a continuación:

Transistores	Etapla 1 (W/L) [μm]	Etapla 2 (W/L) [μm]	Etapla 3 (W/L) [μm]	Etapla 4 (W/L) [μm]
M1, M2	260 / 0.13	50 / 0.13	15 / 0.13	6 / 0.13
M3, M4	30 / 0.13	6 / 0.13	2 / 0.13	1 / 0.13
M5	2500 / 0.3	1500 / 0.3	450 / 0.13	300 / 0.13
M6, M7	30 / 0.13	6 / 0.13	2 / 0.13	1 / 0.13

Tabla 3.6- Dimensionamiento del preamplificador principal

Los resultados de simulación post-layout para un análisis en frecuencia en cada etapa de amplificación se representan en las figuras siguientes:

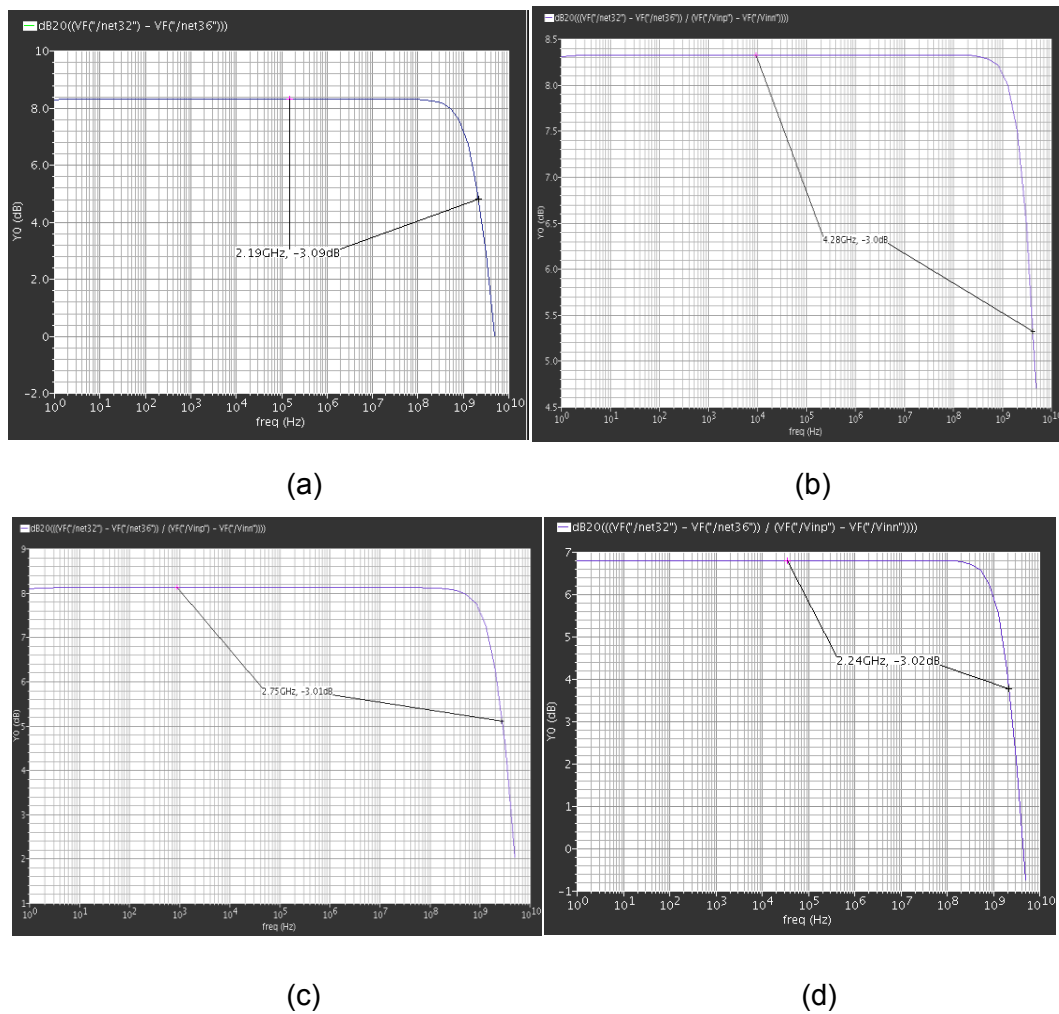


Figura 3.25 - Análisis en frecuencia para las distintas etapas preamplificadoras
(a) Primera etapa (b) Segunda etapa (c) Tercera etapa (d) Cuarta etapa

Los resultados obtenidos para la ganancia y ancho de banda en cada una de las etapas se recogen en la tabla que sigue:

	Etapa 1		Etapa 2		Etapa 3		Etapa 4	
Ganancia (dB)	8		8.3		8.1		6.5	
BW (GHz)	2.19		3.28		2.75		2.24	

Tabla 3.7- Resultados de simulación para etapas preamplificadoras

Por otra parte, este amplificador de alta frecuencia es la base de la etapa amplificadora, que consta de un par de lazos de realimentación implementados mediante los amplificadores de baja frecuencia ya descritos en la sección 3.4.1, en la Fig. 3.14 a) y b). Estos amplificadores se corresponden con estructuras operacionales clásicas con etapa de salida para aumentar su ganancia.

El layout correspondiente a una etapa preamplificadora completa (ya descrita en la Figura 3.24 b) se muestra a continuación.

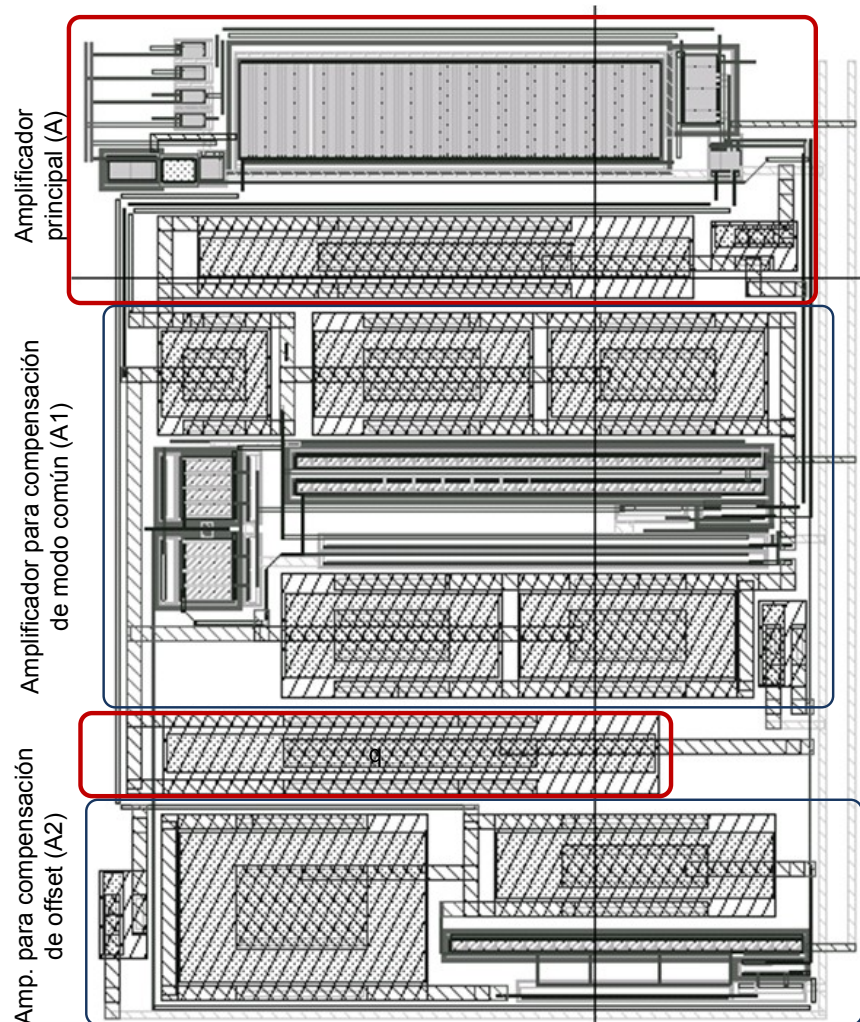


Figura 3.26 - Layout de etapa preamplificadora implementado

En la tabla 3.8 se recogen las dimensiones escogidas para los transistores del comparador.

Transistores	Mbias	M1, M2	M3, M4	M5, M6	MP	MS	MR
W [μm]	200	10	30	30	10	10	10
L [μm]	0.3	0.13	0.13	0.13	0.13	0.13	0.13

Tabla 3.8- Dimensiones de transistores para diseño del comparador

A continuación, se ilustran en las siguientes gráficas los resultados obtenidos para el comportamiento del comparador implementado en layout. En primer lugar, se evalúan las prestaciones transitorias para la histéresis y *offset*, para lo cual se ha simulado una rampa de entrada lo suficientemente lenta para localizar los puntos de conmutación con una precisión de microvoltios.

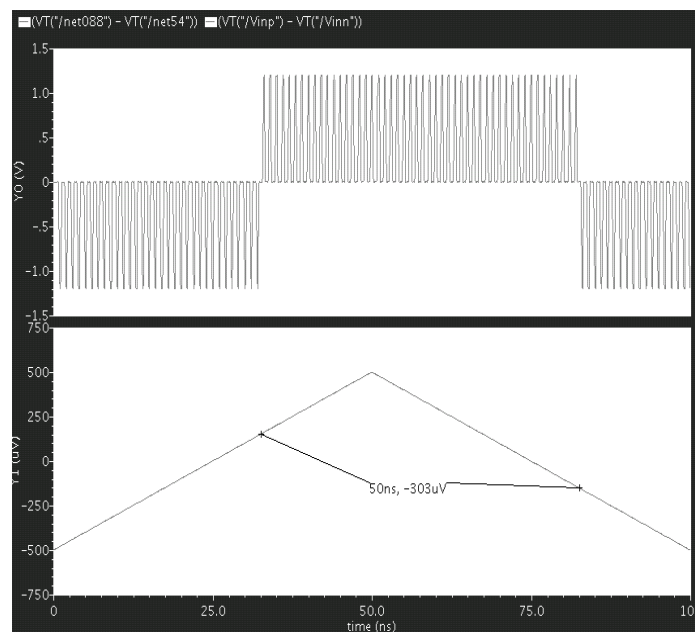


Figura 3.28 - Respuesta del comparador ante entrada en rampa

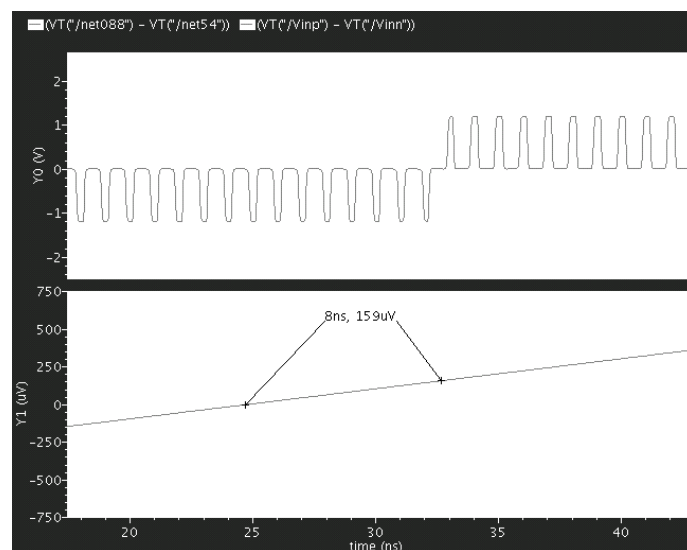


Figura 3.29 - Detalle de histéresis del comparador

Los resultados post-layout para este esquema muestran una conmutación en subida en torno a los 150 μV y en bajada para un valor de tensión de -150 μV a la entrada. Esto da como resultado una histéresis de aproximadamente 300 μV , con un *offset* del mismo orden de magnitud (en torno a 200 μV). En el peor caso de simulaciones de esquina, el valor de la histéresis sube hasta los 500 μV , con un *offset* menor de 0.9 mV.

En la siguiente gráfica se ilustra el funcionamiento del comparador, con pulsos definidos alcanzando el valor máximo de tensión (1.2 V) para una entrada de muy pequeña amplitud (entre -2 y 2 mV).

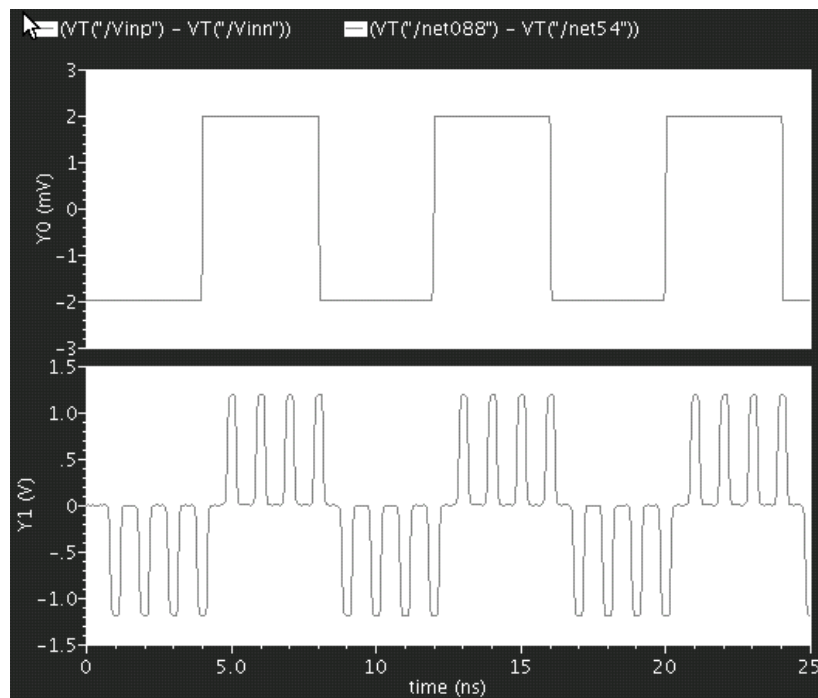


Figura 3.30 - Funcionamiento del comparador (entrada entre -2 y 2 mV)

Igualmente, se ha verificado el funcionamiento del comparador, haciendo conmutar la entrada de un valor elevado de tensión (200 mV –máxima amplitud de entrada-) al mínimo detectable por histéresis, comprobando que se obtiene una decisión correcta a la salida.

Finalmente, se muestra el layout del comparador diseñado en la tecnología CMOS de ST Microelectronics de 130 nm para el convertidor A/D flash.

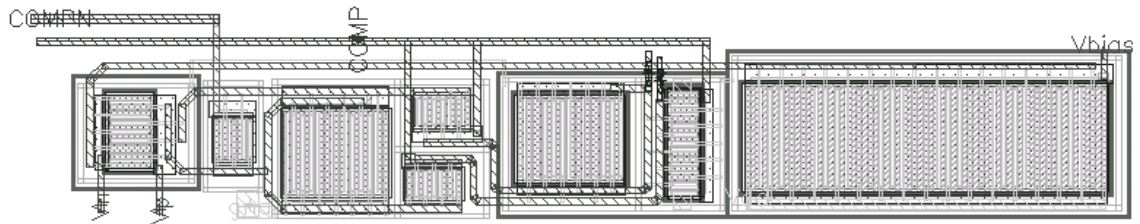


Figura 3.31 - Layout del comparador diseñado

3.4.4.4 Backend digital

El esquema utilizado para el *backend* digital es el denominado decodificador basado en multiplexores y fue descrito en la sección 3.4.3, aunque se incluye aquí de nuevo por motivos de claridad.

La arquitectura elegida consta de una etapa de registros para almacenar las salidas del banco de comparadores, una lógica combinacional de corrección de errores de burbuja, un módulo que realice la conversión de código termométrico, y una nueva etapa de registros de salida para garantizar el funcionamiento síncrono a 1 GHz.

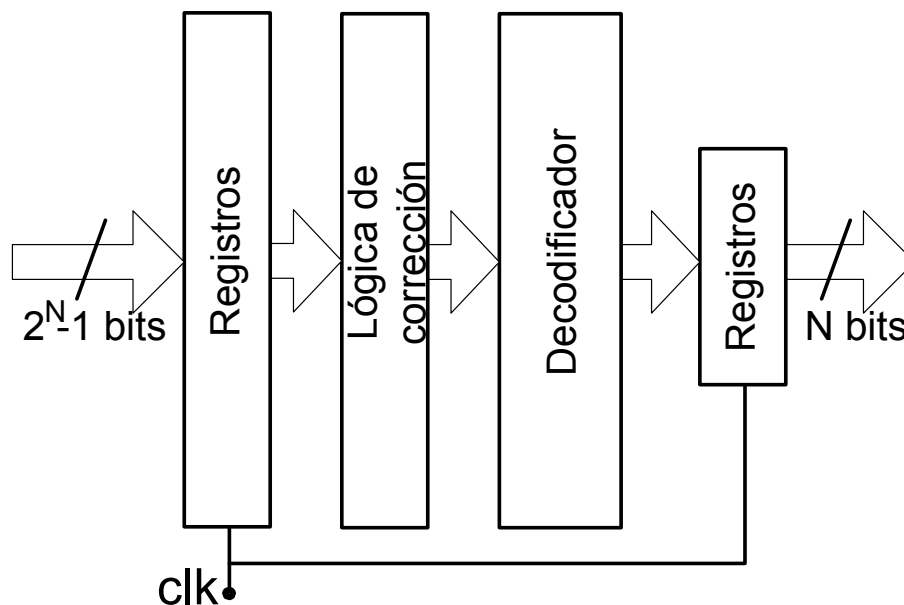


Figura 3.32 - Esquema genérico para backend digital

A continuación se muestran los distintos bloques que componen el *backend*, comenzando por los registros. En la figura 3.33, se aprecia un detalle de su implementación:

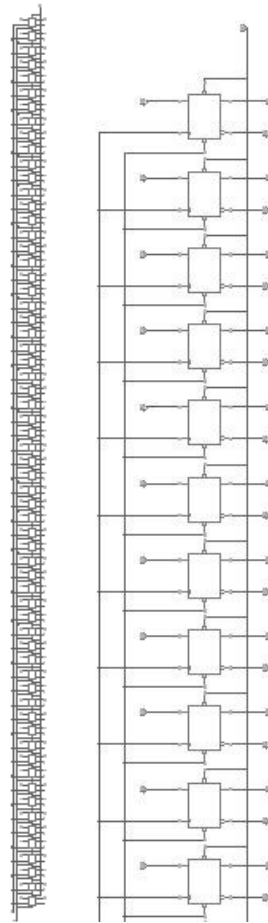


Figura 3.33 - Registros de entrada (banco completo y detalle ampliado)

La lógica combinacional se implementa siguiendo la función descrita en el apartado 3.4.3 ($S = AB + BC + AC$) para corregir errores simples de burbuja. Así, resulta el esquema siguiente para cada celda unidad:

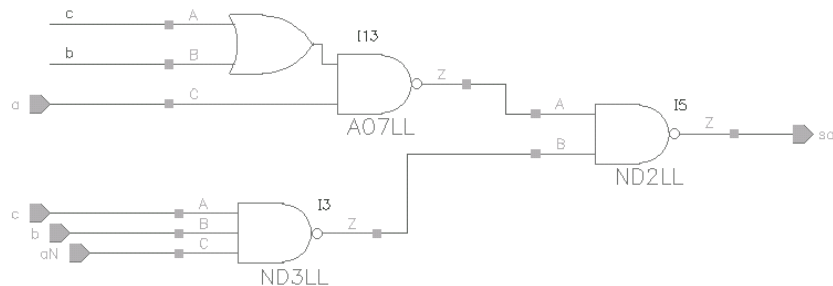


Figura 3.34 - Lógica combinacional de corrección (celda unidad)

Por último, el decodificador se corresponde con el descrito en la Figura 3.32, siguiendo el esquema basado en multiplexores de la sección 3.4.3.5 y se muestra en las figuras siguientes:

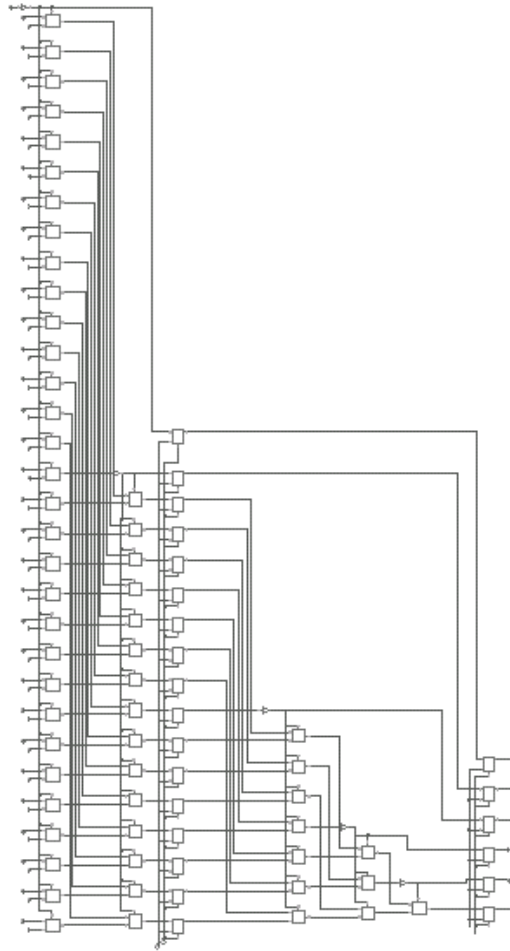


Figura 3.35 - Encoder de conversión termométrico-binario implementado

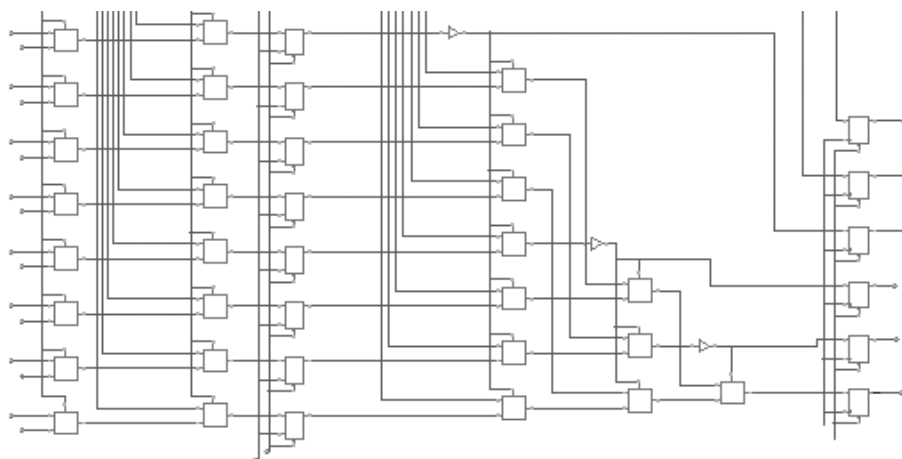


Figura 3.36 - Detalle de decodificador implementado

El esquema finalmente implementado difiere del inicial en una etapa de registros intermedia adicional. Tras la implementación, el tiempo crítico en el caso más desfavorable era muy cercano a 1 ns (frecuencia de 1 GHz), por lo que se coloca una etapa de registros intermedia. De esta manera, se asegura la correcta interpretación de los datos a la frecuencia deseada, aunque a cambio de un retraso en la conversión de un ciclo a la salida.

Finalmente, el layout del *backend* implementado en la tecnología de 130 nm de ST Microelectronics puede observarse en la figura siguiente:

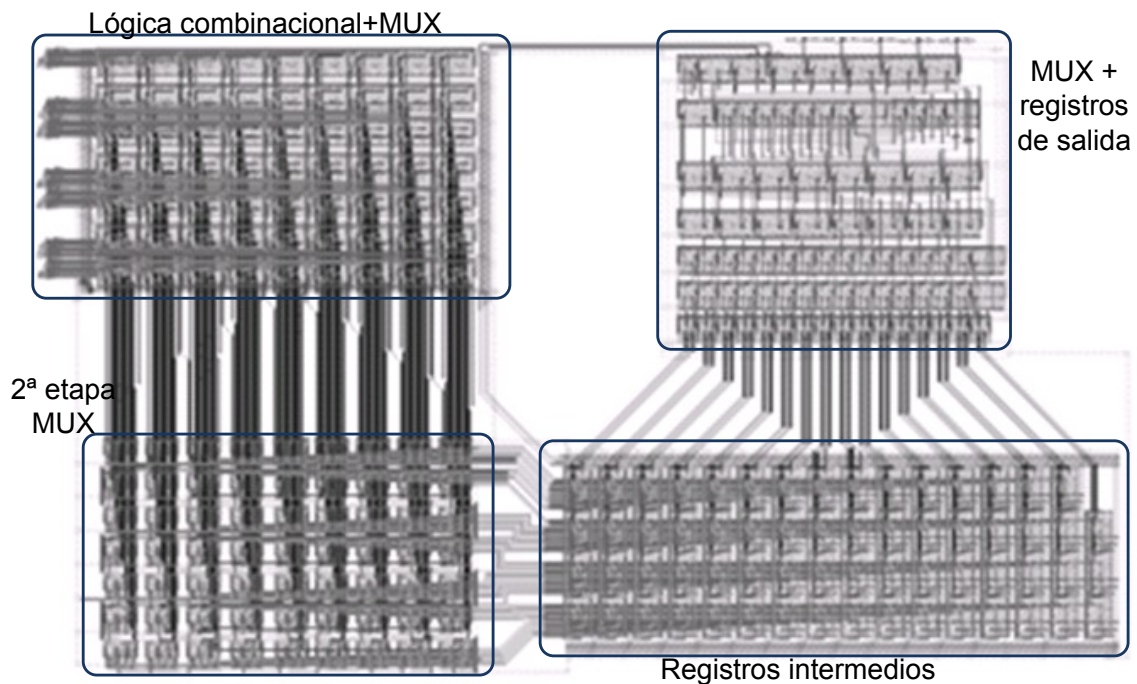


Figura 3.37 - Layout del backend digital en tecnología de 130 nm

3.4.5 Detalles adicionales de implementación

Además de los bloques principales ya descritos, se han realizado otros bloques de menor complejidad a nivel de diseño pero que son necesarios para el desarrollo del convertidor, tales como el generador de reloj, la escalera resistiva o el diseño de los interruptores para la implementación del *sample & hold* distribuido. Nos centraremos a continuación en este último para explicar algunos detalles más sobre su implementación.

Como se ha comentado previamente, la relación de interpolación emplea un factor igual a 2. En la figura 3.38 puede contemplarse la estructura del circuito de muestreo y retención distribuido, formada por una serie de interruptores y capacidades -situados entre la primera y segunda etapa de ganancia- que emplean únicamente una fase de reloj.

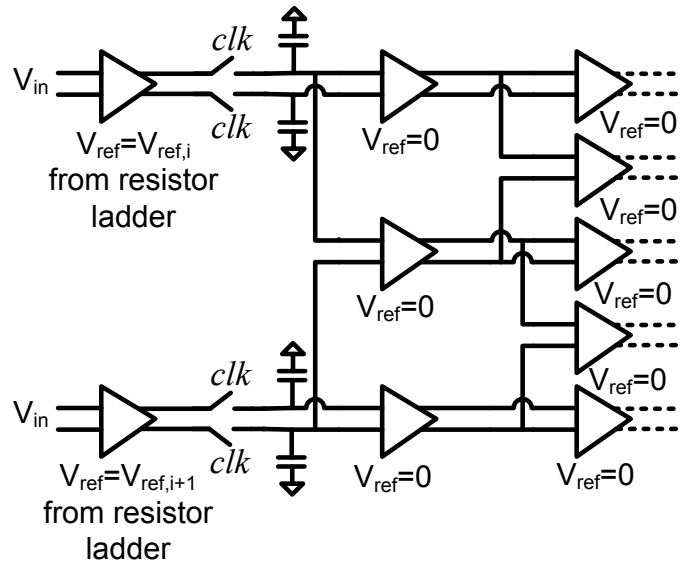


Figura 3.38 - Detalle de la implementación del S&H distribuido

Gracias a esta implementación, las capacidades de muestreo se cargan a través de los amplificadores operacionales de la primera etapa, en lugar de a la entrada del convertidor. De esta manera, se evita el efecto del ruido de muestreo a la entrada y se reduce la magnitud de la capacidad de entrada del convertidor A/D.

La forma de realizar la interpolación, de la etapa dos en adelante, se basa en tomar como entradas de un amplificador las salidas diferenciales positiva y negativa de dos amplificadores de la etapa de ganancia previa. Esta implementación sencilla funciona sin necesidad de emplear un S&H entre las etapas sucesivas, gracias a la técnica de calibración presentada. Al estar las tensiones de *offset* y modo común de los amplificadores ajustadas a su valor de referencia durante el modo de calibración, el circuito puede funcionar de forma autónoma durante largos periodos entre ciclos de refresco.

Por último, se comentarán un par de aspectos relacionados más con la caracterización experimental que con la propia implementación del circuito. Debido al elevado número de componentes del convertidor y a la complejidad del diseño de un convertidor de 6 bits en una tecnología nanométrica que aún no se había caracterizado experimentalmente, se decidió enviar para su fabricación una versión reducida del mismo. En el siguiente apartado se darán más detalles sobre el circuito finalmente empleado, que a grandes rasgos puede definirse como una versión simplificada del convertidor de sólo 3 bits, pero con una resolución de 6 bits. De esta forma, se puede caracterizar experimentalmente el convertidor de 6 bits utilizando la versión simplificada en diferentes zonas del rango de funcionamiento. Por otra parte, al tener que medir señales a altas velocidades, se ha optado por implementar las señales de salida del convertidor empleando el estándar de comunicaciones de bajo consumo y alta velocidad LVDS³ [Blo02].

³ LVDS: Low-Voltage Differential Signaling.

Para ello, se han diseñado unos circuitos que actúan como *drivers* para señales LVDS, que cumplen con las siguientes especificaciones, permitiendo una transmisión síncrona a 1 GHz:

V_{SS}	V_{OL}	V_{OH}	V_{DD}	V_{CM}
0 V	1 V	1.4 V	2.5 V	1.2 V

Tabla 3.9- Prestaciones del convertidor A/D fabricado

Así, tendríamos una señal con modo común de 1.2 V con niveles lógicos oscilando entre 1 y 1.4 V. Para poder cumplir con estas especificaciones, se han usado dos tensiones de alimentación para el anillo de pads: una de 1.2 V para las partes correspondientes al convertidor y otra de 2.5 V para los *drivers* LVDS.

En el siguiente apartado se describirá con mayor detalle el circuito finalmente fabricado, así como las prestaciones obtenidas de su caracterización experimental.

3.5 Caracterización experimental

Como ya se ha comentado, el circuito que se presenta en este apartado para su caracterización experimental tiene una resolución de 3 bits en lugar de los 6 previstos para el diseño del convertidor A/D original. Esta estrategia se adoptó como un paso previo a la caracterización definitiva, debido tanto a la complejidad del diseño como a la implementación de una técnica novedosa y a la necesidad de evaluar la respuesta real de la tecnología empleada por primera vez en este diseño.

En consecuencia, se envió para su fabricación una versión de test de 3 bits en la tecnología de 130 nm de ST Microelectronics, con el fin de evaluar su funcionamiento experimental y validar la técnica propuesta.

La idea principal en que se basa la caracterización consiste en emplear el chip de 3 bits como una celda extrapolable del diseño completo (Figura 3.39). Para ello, se implementaron en la misma todos los elementos necesarios de la cadena de amplificación. El circuito fabricado en la tecnología de 130 nm y la placa de evaluación empleada para realizar las medidas pueden observarse en la Figura 3.40 a) y 3.40 b), respectivamente.

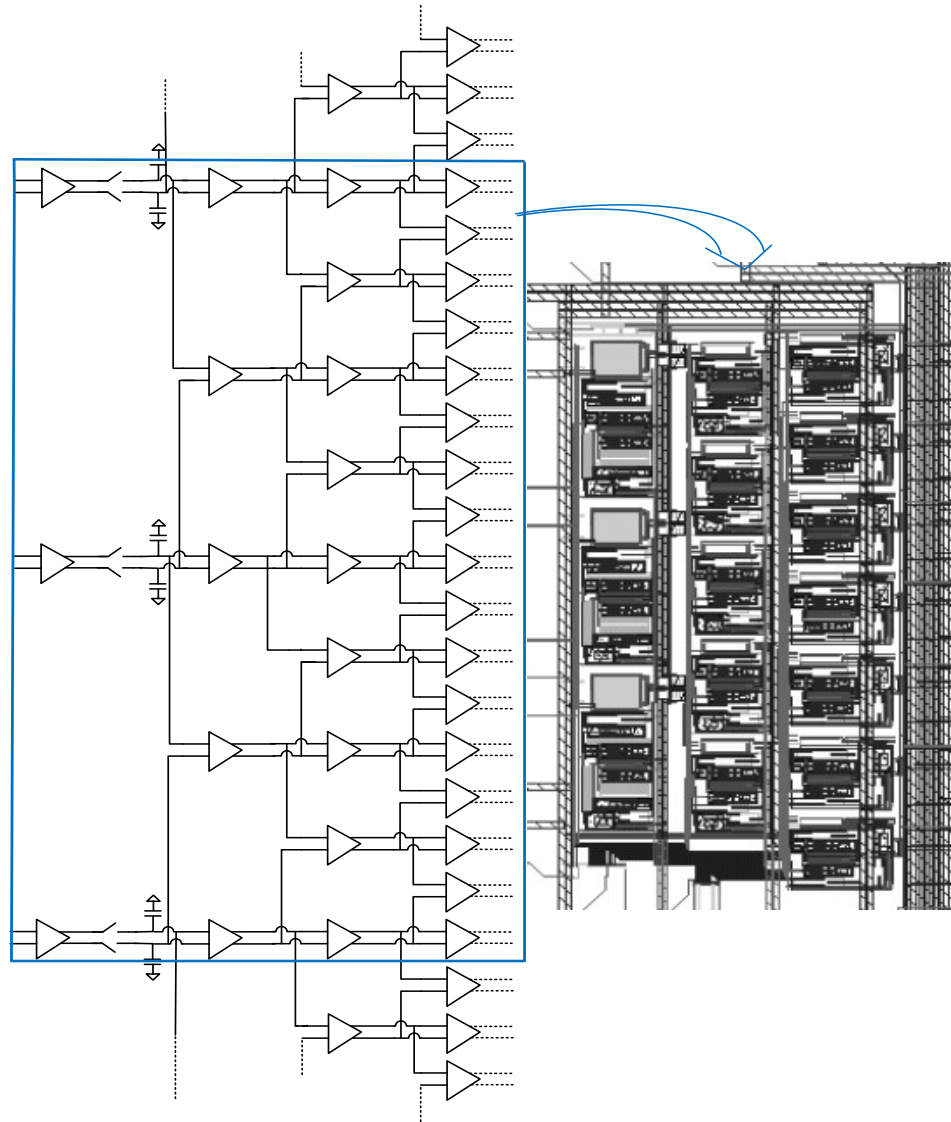
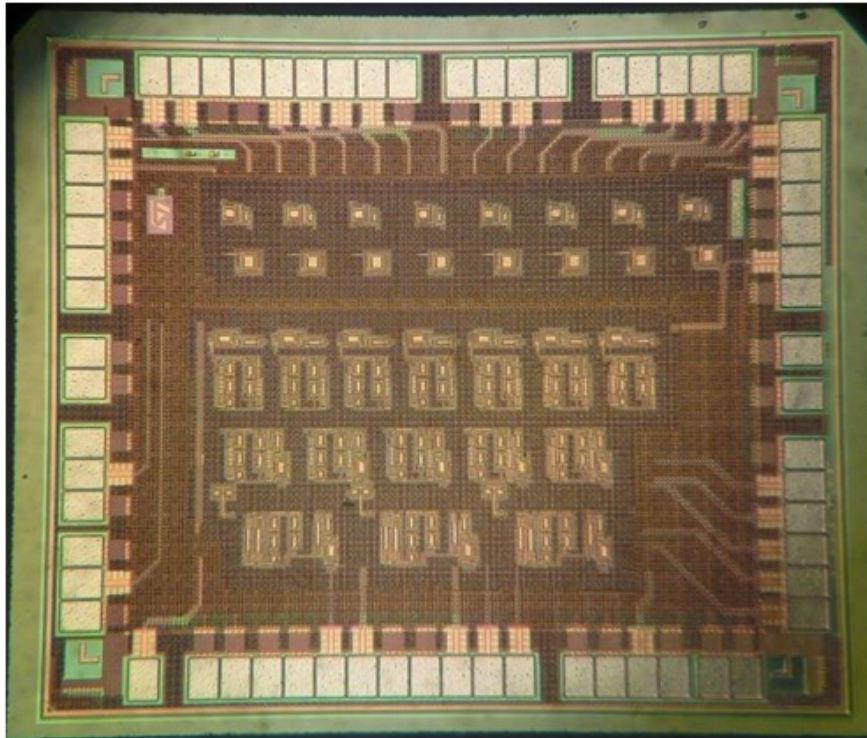
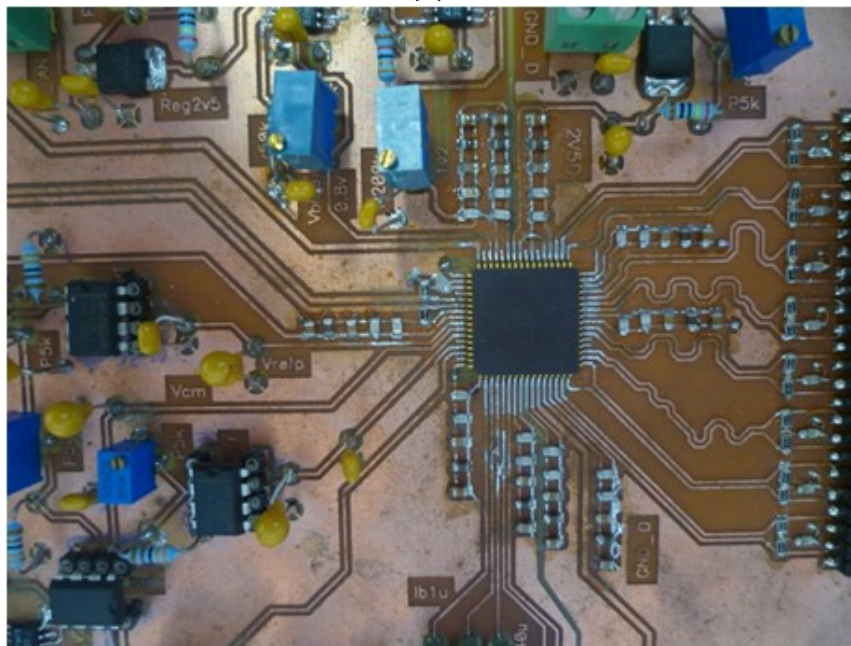


Figura 3.39 - Implementación del ADC de 3 bits para caracterización experimental

Mediante la placa de medidas mostrada en la Figura 3.40, podemos evaluar el comportamiento del convertidor en términos de velocidad y precisión, validando así la técnica de calibración propuesta para unas especificaciones similares a las del chip completo. El proceso de medida ha sido realizado mediante el procesamiento de los resultados obtenidos a la salida del convertidor fabricado para distintos rangos posibles de entrada, considerando para ello una resolución de 6 bits.



(a)



(b)

Figura 3.40 - (a) Convertidor A/D de 3 bits fabricado en tecnología de 130 nm.
(b) Placa de evaluación para caracterización del chip.

Ajustando los rangos de entrada, se ha caracterizado la respuesta de 3 bits del chip fabricado para todos los posibles rangos de entrada del convertidor de 6 bits. Ajustando el valor de las tensiones de entrada y variando el *offset*, se puede realizar una caracterización parcial por secciones (correspondientes a 3 bits) que permiten componer, mediante un procesamiento posterior, la respuesta equivalente para el rango completo de 6 bits.

En las Figuras 3.41 y 3.42 pueden observarse los errores de no idealidad integral (INL) y no linealidad diferencial (DNL), respectivamente, del convertidor. En ambos casos, el resultado está comprendido en el rango $[-0.4, 0.4]$ LSB.

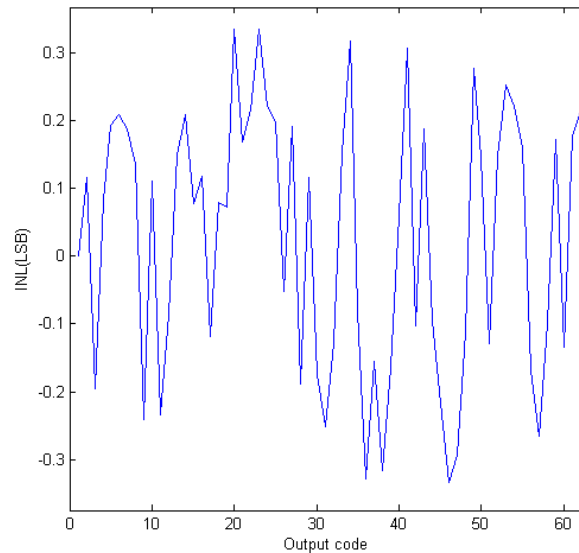


Figura 3.41 - INL medida a 1GS/s

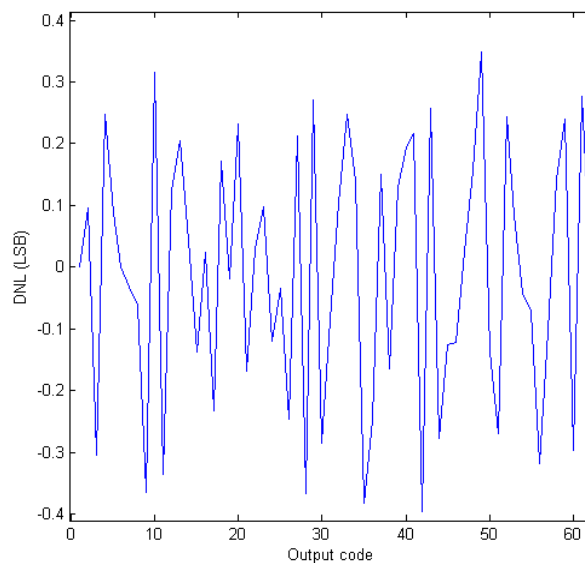


Figura 3.42 - DNL medida a 1GS/s

La caracterización dinámica del circuito se ha llevado a cabo mediante una señal sinusoidal compuesta a partir de las medidas tomadas para las distintas partes del rango completo del convertidor con una resolución de 6 bits. Así, en la figura 3.43 podemos ver la SNDR obtenida, de valor 35.7 dB, para una señal de entrada de amplitud 200 mVpp a frecuencia de 95 MHz con el circuito funcionando a una frecuencia de muestreo de 1 GHz.

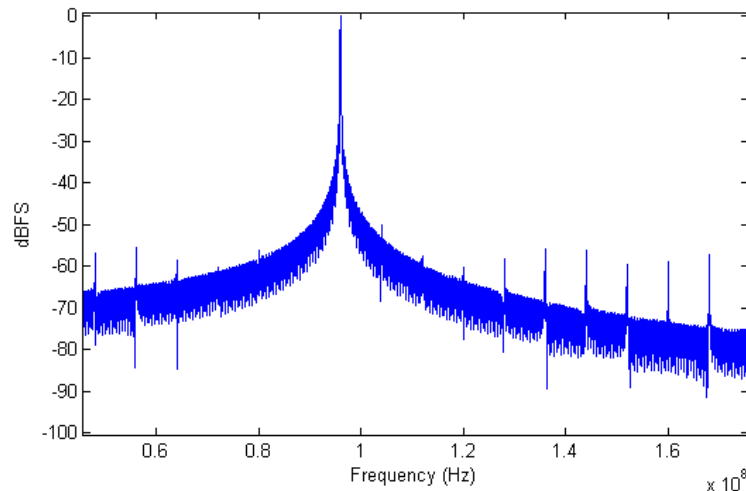


Figura 3.43 - SNDR medido a $f=1\text{GHz}$ para una entrada a 95 MHz.

Por otra parte, en la figura 3.44, se recoge la resolución efectiva del convertidor (ENOB) en función de la frecuencia de la señal de entrada. Cabe resaltar que el resultado permanece por encima de 5.1 bits hasta la frecuencia de Nyquist del convertidor.

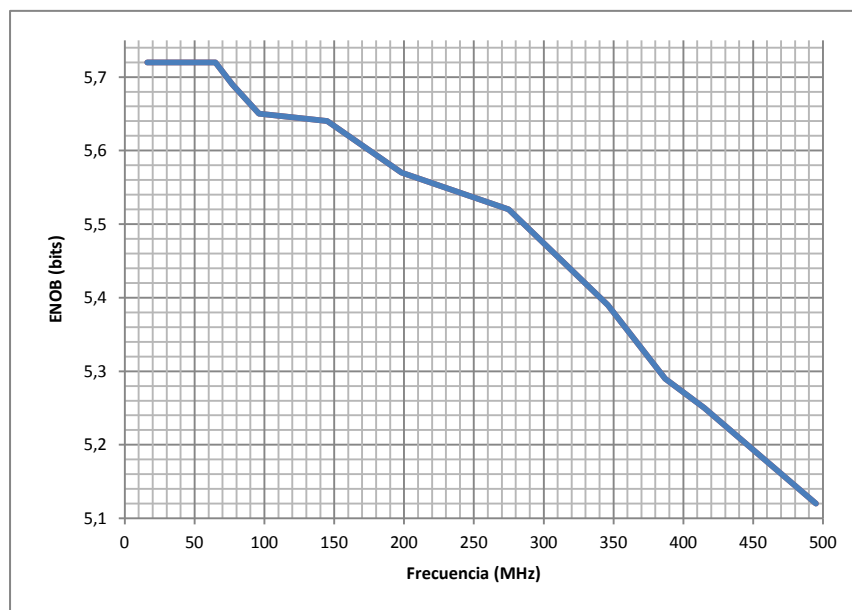


Figura 3.44 - Caracterización dinámica medida en función de la frecuencia

La técnica propuesta requiere una calibración periódica con tiempos de refresco de al menos 3 ns, gracias a los cuales la resolución permanece por encima de los 5.5 ENOB para una señal de entrada a 250 MHz durante un tiempo aproximado de 750 ns antes de volver a aplicar un ciclo de refresco para reestablecer los valores de calibración.

Para realizar la comparativa del convertidor respecto a los encontrados en la literatura, se ha utilizado la siguiente Figura de Mérito (FoM):

$$FoM = \frac{P}{2^{ENOB} \cdot 2BW} \quad (\text{pJ/paso}) \quad [3.4]$$

donde $ENOB$ es la resolución efectiva y BW el ancho de banda de los convertidores seleccionados. En el caso del convertidor que se presenta, se obtiene una $FoM = 3.5$ pJ/paso para una tasa de muestreo a 1 GHz con una señal de entrada a 95 MHz. Este valor, de mantenerse las prestaciones en la implementación completa, colocaría nuestro diseño cerca del estado del arte de convertidores A/D de tipo flash de alta velocidad en el momento de la publicación, tal y como se representa en la figura siguiente:

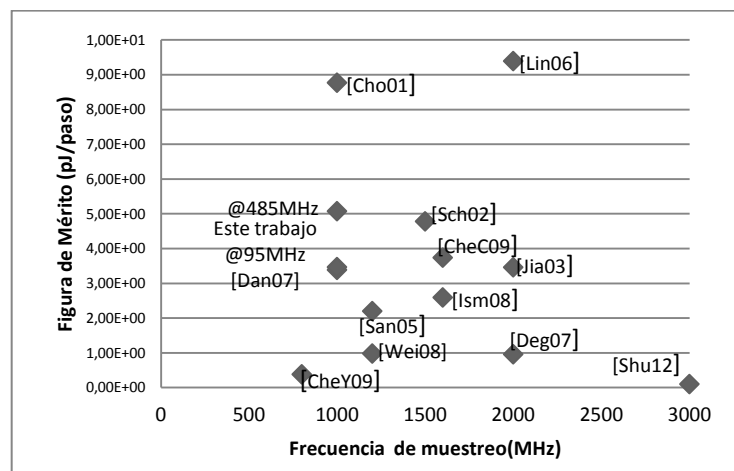


Figura 3.45 - Estado del arte de convertidores A/D flash de 6 bits

Las prestaciones del convertidor de interpolación diseñado se resumen en la siguiente tabla:

Frecuencia de muestreo	1 GHz (500 MHz BW)
Resolución	6 bits
Alimentación	1.2 V
Tecnología	0.13 μm CMOS STMicroelectronics
Máximo INL (1 GS/s)	0.35 LSB
Máximo DNL (1 GS/s)	0.4 LSB
ENOB @ 95MHz	5.65 bits
SNDR ($f_{in}=95\text{MHz}$, $A_{in}=200\text{mVpp}$)	35.7 dB
Potencia consumida	182 mW
Etapa 1*	56.25 mW
Etapa 2*	25.5 mW
Etapa 3*	14.65 mW
Etapa 4*	20.28 mW
Comparadores*	60.48 mW
Área estimada (6-bit)	1.44 mm^2
FoM @95MHz	3,5 pJ/paso
FoM @485MHz	5 pJ/paso

* Valores extrapolados de medidas del prototipo; consumo total en simulaciones post-layout.

Tabla 3.10 - Prestaciones del convertidor A/D fabricado

En la siguiente sección se comentan las principales conclusiones del trabajo presentado en este capítulo correspondiente al diseño del convertidor A/D flash de 6 bits.

3.6 Conclusiones

En las tecnologías actuales, los convertidores A/D de tipo flash se ven normalmente limitados por errores de no idealidad generados por variaciones en los procesos de fabricación relacionados con el *offset* de los comparadores. Una solución habitual a este problema consiste en el uso de varias etapas de ganancia previas a la comparación. No obstante, el elevado número de amplificadores necesarios lleva consigo un incremento dramático de área y consumo. Ante esta situación, se hace necesario emplear técnicas adicionales que permitan disminuir el número de amplificadores. Una de las más empleadas es la interpolación capacitiva combinada con auto-cero [San05][Pla03], que presenta las ventajas siguientes frente a técnicas de interpolación tradicionales basadas en resistencias:

- No es necesario el uso de comparadores de rango extendido o terminaciones de promediado para compensación.
- No es necesario un circuito de muestreo y retención (*sample & hold*) dedicado, con la complejidad añadida que acarrea su diseño a altas frecuencias, debido a que la técnica de auto-cero implementa el S&H de forma distribuida.

No obstante, el uso de dichas técnicas presenta también una serie de desventajas, entre las que destacan:

- Las capacidades conmutadas a la entrada generan interferencias en el nodo de entrada, añadiendo ruido de muestreo de forma significativa.
- La necesidad de dos fases de reloj no solapadas aumenta la complejidad del rutado y limita la máxima frecuencia de operación del convertidor.

Teniendo en cuenta todo lo anterior, y con la experiencia previa de haber diseñado un convertidor A/D basado en esta técnica [Mar08], en esta Tesis Doctoral se presenta una técnica novedosa de auto-cero que solventa los problemas anteriormente expuestos para su aplicación al diseño de un convertidor A/D de tipo flash de 6 bits.

Como se ha comentado anteriormente, las técnicas de auto-cero tradicional requieren de dos fases de reloj, limitando la respuesta de los amplificadores en cuanto a ancho de banda. Mediante la técnica propuesta se dispone del ciclo completo de reloj para la estabilización de los amplificadores. Esto permite, por un lado, emplear una única fase de reloj para el funcionamiento; y, por otro, disminuir el ruido de muestreo a la entrada del circuito.

No obstante, la técnica presentada en este capítulo tiene algunos inconvenientes. Los principales son la necesidad de emplear ciclos de refresco para la calibración durante el funcionamiento del circuito y la significativa ocupación de área requerida.

Por lo que respecta al primer inconveniente, es cierto que el hecho de llevar a cabo una calibración periódica limita las prestaciones del convertidor en términos de una conversión de datos continua. No obstante, podemos considerar que ésta no es una limitación crítica en dispositivos móviles donde, debido a los requerimientos de baja potencia, los receptores suelen estar activos únicamente durante periodos cortos de tiempo. Además, cabe señalar que el periodo de funcionamiento normal del convertidor entre dos ciclos de refresco de la calibración continua puede alcanzar los 750 ns, siendo varios órdenes de magnitud mayor que la duración del propio ciclo de calibración (3 ns).

Con respecto al problema del área, aunque es cierto que la técnica empleada requiere un gran número de capacidades que incrementan sustancialmente el tamaño del convertidor, es posible conseguir una reducción drástica mediante el uso de condensadores de otros tipos en otras tecnologías. Por ejemplo, empleando condensadores CMOS disponibles en otras tecnologías nanométricas se estima que sería posible disminuir el área (en aproximadamente un 50%) respecto a la ocupada en la implementación actual. Además, la técnica presentada no es exclusiva de convertidores flash de resolución moderada (6 bits) como el mostrado en este capítulo. Si en lugar de en este diseño empleáramos dicha técnica en una arquitectura energéticamente más eficiente, tal y como puede ser un convertidor SAR o Time-interleaving de menor resolución, la ocupación de área disminuiría drásticamente con la disminución del número de amplificadores requeridos.

3.7 Referencias

- [Blo02] C: Bloomingdale and G. Hendrickson, **“LVDS Data Outputs for High-Speed Analog-to-Digital Converters.”** *AN-586 Application Note*. Analog Devices, Inc., 2002
- [CheC09] C.C. Chen, Y.L. Chung and C.I. Chiu, **"A 6-b 1.6 GS/s flash ADC with distributed track-and-hold pre-comparators in 0.18 um CMOS"** *IEEE ISSCS*, July 2009, pp.1-4.

- [CheY09] C.-Y. Chen, Le, M.Q., K. Y. Kim, "**A Low Power 6-bit Flash ADC With Reference Voltage and Common-Mode Calibration**", *Solid-State Circuits, IEEE Journal of*, pp. 1041 - 1046 Volume: 44, Issue: 4, April 2009
- [Cho01] M. Choi and A. Abidi, "**A 6-b 1.3 Gsamples/s A/D converter in 0.35"**, *IEEE J. Solid-State Circuits*, vol.36, pp.1847-1858, Dec. 2001.
- [Dan05] H. Dang, M. Sawan, Y. Savaria, "**A novel approach for implementing ultra-high speed flash ADC using MCML circuits**", *IEEE Int. Symposium on Circuits and Systems*, vol.6, pp. 6158-6161, May 2005.
- [Deg07] K. Deguchi, N. Suwa, M. Ito, T. Kumamoto, T. Miki, "**A 6 bit 3.5-GS/s 0.9V 98 mV Flash ADC in 90nm CMOS**", *IEEE J. Solid-State Circuits*, vol. 43, No. 10, Oct. 2008
- [Ism08] A. Ismail and M. Elmasry, "**A 6-Bit 1.6-GS/s Low-Power Wideband Flash ADC in 0.13- μ m CMOS Technology**", *IEEE J.Solid-State Circuits*, vol. 43, n° 9, pp. 1982-1990, Sep. 2008.
- [Jia03] X. Jiang, Z. Wang, M. F. Chang, "**A 2 GS/s 6-b ADC in 0.18"**, *Proc. IEEE Int. Solid-State Circuits Conference*, vol.1, pp. 322-497, Feb. 2003.
- [KanJ99] J. Kanan, F Kaess y M. Declercq. "**A 640 mW high accuracy 8-bit 1 GHz flash ADC encoder.**" *IEEE International Symposium on Circuits and Systems - ISCAS*, pp. 420-423, 1999
- [Lee02] Daegyu Lee; Jincheol Yoo; Kyusun Choi; Jahan Ghaznavi, "**Fat tree encoder design for ultra-high speed flash A/D converters,**" *Circuits and Systems, 2002. MWSCAS-2002. The 2002 45th Midwest Symposium on*, vol.2, no., pp.II-87,II-90 vol.2, 4-7 Aug. 2002
- [Lin06] Y.Z. Lin, Y.-T. Liu and S.-J. Chang, "**A 6-bit 2-GS/s Flash Analog-to-Digital Converter in 0.18- μ m CMOS Process**", *Solid-State Circuits Conference (ASSCC'06)*, pp. 351-354, Nov. 2006.
- [Mar08] Márquez, F., Muñoz, F., Álvarez, M., Ibañez, R., G. Carvajal, R.: "**A 6-Bit 1-Gs/S Flash-ADC Using Capacitive Interpolation in 0.13-Um CMOS**". *Conference on Design of Circuits and Integrated Systems*. Grenoble, 2008
- [Mar13] F. Márquez, F. Muñoz, R.G. Carvajal, J.R. García-Oya, E. López-Morillo, A. Torralba, J. Galán; "**A novel autozeroing technique for flash Analog-to-Digital converters**" *Integration, the VLSI Journal*, 01/2014; 47(1):23–29

- [Mur08] Murmann, B. (2008). **"A/D Converter Trends: Power Dissipation, Scaling and Digitally Assisted Architectures"**. *Proceedings of IEEE Custom Integrated Circuits Conference, 2008, CICC 2008*. ISBN 978-1-4244-2018-6, San Jose, CA, November 2008.
- [Mur13] Murmann, B., **"Energy limits in A/D converters"** *Faible Tension Faible Consommation (FTFC), 2013 IEEE* , vol., no., pp.1,4, 20-21 June 2013
- [Pla03] R.J. van de Plassche, **"CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters"**, Dordrecht, Kluwer Academic Publishers, 2003.
- [Sal04a] Sall, E.; Vesterbacka, M.; Andersson, K.A., **"A study of digital decoders in flash analog-to-digital converters,"** *Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on* , vol.1, no., pp.I-129,I-132 Vol.1, 23-26 May 2004
- [Sal04b] E. Säll and M. Vesterbacka, **"A Multiplexer Based Decoder for Flash Analog-to-Digital Converters"**, *TENCON'04, 2004 IEEE Region 10 Conference, vol.4*, pp. 250-253, Nov. 2004.
- [San05] C. Sandner, M. Clara, A. Santner, T. Hartig, F. Kuttner, **"A 6-bit 1.2-GS/s low-power flash-ADC in 0.13- μ m digital CMOS"**, *IEEE Journal of Solid-State Circuits, vol. 40, n° 7*, pp. 1499-1505, July 2005.
- [Scho02] P. Scholtens and M. Vertregt, **"A 6-b 1.6-Gsample/s Flash ADC in 0.18- μ m CMOS using averaging termination"**, *IEEE J. Solid-State Circuits, vol. 37*, pp.1599-1609, Mar. 2002.
- [Shu12] Y.-S. Shu, **"A 6b 3GS/s 11mW fully dynamic flash ADC in 40nm CMOS with reduced number of comparators"**, *VLSI Circuits (VLSIC), 2012 Symposium on, pp. 26 – 27*, June 2012
- [Tsa05] Tsang, T.K.K.; El-Gamal, M.N., **"Ultra-wideband (UWB) communications systems: an overview,"** *IEEE-NEWCAS Conference, 2005. The 3rd International* , vol., no., pp.381,386, 19-22 June 2005
- [Wei08] H.-G. Wei, U.-F. Chio, Y. Zhu, S.-W. Sin, S.-P. U, and R. P. Martins, **"A power scalable 6-Bit 1.2 GS/S flash ADC with power on/off track-and hold and preamplifier"**, *Proc. IEEE ISCAS, pp. 5-8*, May 2008.
- [Yan04] L. Yang and G. B. Giannakis, **"Ultra-wideband communications,"** *IEEE Signal Processing Magazine*, vol. 21, no. 6, pp. 26–54, 2004

- [Yin92] G.M.Yin, F.Op't Eynde, W.Sansen, "**A high-speed CMOS comparator with 8-b resolution**", *IEEE J. Solid-State Circuits*, vol.27, n^o2, pp. 208-211, Feb. 1992.

CAPITULO 4

AFTU: HERRAMIENTA DE ANÁLISIS DE CIRCUITOS BAJO RADIACIÓN

ÍNDICE DEL CAPÍTULO

4.1	Introducción	131
4.2	AFTU: herramienta de análisis bajo radiación	133
4.2.1	Descripción de AFTU.....	134
4.2.1.1	Visión general	134
4.4	Conclusiones	136
4.5	Referencias	136

Uno de los temas de mayor interés en la actualidad para el diseño de sistemas microelectrónicos es el análisis de tolerancia a radiación de los circuitos. Debido al escalado de las tecnologías CMOS, los dispositivos microelectrónicos han ido incrementando cada vez más su sensibilidad ante posibles errores debidos a la radiación. Este hecho hace que sea necesario poner un mayor énfasis en el diseño de sistemas robustos a la radiación, ya que la influencia de ésta puede resultar crítica. En numerosas aplicaciones, tales como la electrónica necesaria en sistemas espaciales o nucleares, los circuitos pueden resultar expuestos a partículas ionizantes de altos niveles de energía capaces de generar eventos singulares (Single Event Effects, SEE). Uno de los efectos nocivos más comúnmente conocidos son los errores de Eventos Singulares Transitorios (Single Event Transients, SET), cuya influencia es cada vez mayor en

los circuitos analógicos y mixtos con la evolución actual de las tecnologías. En entornos de alta radiación, los iones pesados pueden interactuar con los componentes analógicos y generar cambios transitorios de tensión significativos que produzcan un error en los sistemas, bien de forma directa o propagándose a otras partes del circuito.

A lo largo de este capítulo, se presenta y describe una herramienta software de análisis de vulnerabilidades (AFTU) para su uso en el diseño robusto de sistemas microelectrónicos para aplicaciones sometidas a entornos de radiación. Se comienza con una introducción a la problemática del diseño microelectrónico en dichos entornos, reseñando los principales efectos a tener en cuenta y su influencia en circuitos tanto digitales como analógicos. A continuación, se describe la herramienta software incluyendo su fundamento teórico, así como la cadena de aplicaciones que la compone. Posteriormente, se detallan los distintos elementos necesarios, estructura de los ficheros, aplicaciones empleadas y opciones disponibles, culminando con un ejemplo sencillo para ilustrar el proceso completo de análisis de cara al usuario. Finalmente, se incluyen varios casos de uso de AFTU para determinar las vulnerabilidades ante radiación en circuitos reales tanto analógicos como de señal mixta.

4.1 Introducción.

En la actualidad, el estudio de los efectos de la radiación sobre circuitos mixtos en entornos aeroespaciales es una preocupación de gran calado para los diseñadores. Desde este punto de vista, la influencia de los impactos de partículas de alta energía en el comportamiento de los sistemas electrónicos se vuelve crucial a medida que las tecnologías evolucionan. Las frecuencias de trabajo cada vez más elevadas y dimensiones de los transistores más y más pequeñas hacen que la influencia de los Efectos de Eventos Singulares (SEE) sea cada vez más crítica tanto en los circuitos digitales como analógicos:

1. Circuitos digitales. Conforme se incrementan las frecuencias de funcionamiento de los sistemas, la sensibilidad ante Eventos Singulares Transitorios (SET) de los registros de la parte digital también crece. En este sentido, un pulso transitorio generado a la entrada de un camino combinacional puede propagarse, incrementando su anchura y provocando un cambio de valor no deseado en el registro al final de dicho camino combinacional. Como consecuencia de este efecto, pueden producirse en los registros efectos de *Single Event Upset* (SEU) o incluso afectar a múltiples bits (MBU) [Ben06]. Este efecto ha sido también recientemente objeto de estudio en las tecnologías digitales, y ha sido denominado Ensanchamiento de Pulso Inducido por Propagación (PIPB) [Nar07][Ben07].

2. Circuitos analógicos. Las secciones analógicas se ven afectadas por perturbaciones transitorias de las tensiones generadas a consecuencia de pares electron-hueco provocados por impactos de partículas de alta energía. Y lo que es más importante, estos SET son fuertemente dependientes de la configuración eléctrica de los dispositivos, pudiendo afectar muy seriamente al rendimiento e incluso a la funcionalidad de los circuitos. Es por ello por lo que el estudio de estos impactos y su influencia en circuitos analógicos ha adquirido en los últimos años una enorme relevancia, ya que un análisis de las posibles vulnerabilidades puede proporcionar información clave para el diseño de sistemas robustos contra la radiación.

La utilización de herramientas de modelado y simulación como TCAD [Mog10] [PalF12] permite extraer información de forma exhaustiva y precisa de los efectos en el propio layout de los diseños analizando su respuesta a nivel físico. Sin embargo, abordar el análisis de circuitos analógicos de gran complejidad es todo un desafío -especialmente conforme el número de transistores aumenta- llevándonos a costes computacionales prácticamente inasumibles. Desde este punto de vista, es fácil comprender que la necesidad de un método que permita realizar un diagnóstico rápido de las vulnerabilidades de los circuitos en etapas de diseño tempranas se haya convertido en un tema de gran interés para la comunidad científica.

Como respuesta a esta demanda, en esta Tesis se ha desarrollado una nueva herramienta software basada en simulaciones Spectre denominada AFTU (Analog Fault Tolerant University of Seville Debugging System) que permite un método de análisis sistemático de vulnerabilidades. Continuando el sendero comenzado en el terreno digital mediante el desarrollo de FT-UNSHADES [Agu07] –en colaboración con la Agencia Espacial Europea (ESA)-, se ha desarrollado una herramienta de inyección de fallos para el análisis de SEE en circuitos analógicos y mixtos.

El funcionamiento a grandes rasgos de dicha herramienta es el siguiente:

- i. Partiendo de la netlist del circuito, se crea una versión modificada a la que se añaden modelos de inyección carga basados en la literatura [Mes82] para la emulación de impactos.
- ii. Se definen una serie de ficheros que permiten configurar la campaña de test por parte del usuario.
- iii. El análisis permite -siguiendo unas heurísticas aplicadas- determinar los nodos críticos del circuito bajo test, clasificando automáticamente los resultados obtenidos.

De esta manera, es posible obtener una estimación de forma rápida de la sensibilidad de circuitos complejos, con un elevado número de transistores, de forma previa a su fabricación.

El desarrollo de AFTU se ha llevado a cabo dentro de una extensión del proyecto FT-UNSHADES2, financiado por la ESA. En dicho proyecto, el Grupo de Ingeniería Electrónica (GIE) se encuentra desarrollando una herramienta hardware de inyección de fallos para el análisis de efectos de radiación en diseños digitales integrados para su implementación mediante FPGA o ASIC. La génesis de dicha colaboración está en el proyecto “*Radiation Tolerant Analogue/Mixed Signal Technology Survey and Test Vehicle Design*”, también dentro de las actividades auspiciadas por la ESA.

En dicha colaboración, se inició un trabajo de investigación para analizar los efectos de la radiación en circuitos analógicos mediante el diseño de una serie de vehículos de test para la detección de fallos producidos por SET. Tras un estudio del estado del arte, se llegó al escenario descrito en párrafos anteriores, quedando clara la necesidad de disponer de algún método de análisis automático de la influencia de los impactos de partículas de alta energía sobre circuitos analógicos. En el ámbito de dichas actividades, se comenzó el desarrollo de una versión preliminar de la herramienta presentada en esta Tesis con el objetivo de poder realizar un análisis automatizado del efecto de la radiación en circuitos microelectrónicos.

Ante el creciente interés de esta línea de investigación en el ámbito de los diseños aeroespaciales, se comenzó una nueva actividad dentro del proyecto FT-UNSHADES2 para el desarrollo de AFTU. Esta actividad ha sido dirigida esencialmente a la investigación de la inyección de fallos y análisis de SET en circuitos analógicos, con vistas a obtener una estimación de la sensibilidad a radiación. El objetivo final es disponer de una herramienta que sirva como apoyo al diseñador de circuitos analógicos y mixtos, permitiendo un análisis eficaz de sus vulnerabilidades a nivel de transistor.

A continuación, se presenta la estructura general de la herramienta, incluyendo su fundamento teórico y una visión general de su funcionamiento. Dado que el trabajo desarrollado está realizado bajo acuerdo con la ESA, no se incluyen en esta versión de acceso abierto los detalles de su desarrollo. Más información sobre AFTU puede encontrarse en el artículo [Mar14].

4.2 AFTU: herramienta de análisis bajo radiación

El software AFTU es una herramienta para el análisis de la sensibilidad a SEE en circuitos analógicos y mixtos. Para realizar esta tarea, la herramienta toma como punto de partida una descripción de los circuitos bajo test en forma de *netlist* de Spectre. Sobre ella, se realiza una emulación de las condiciones de radiación mediante la adición de una serie de fuentes de inyección de carga configurables, dando lugar a una nueva *netlist* “instrumentalizada” funcionalmente idéntica.

En cuanto al modelado de los impactos, la generación de SET ocasionados por el impacto de partículas de alta energía está basada en modelos de carga inducida sobre circuitos a nivel de transistor, como se ilustra en la figura siguiente:

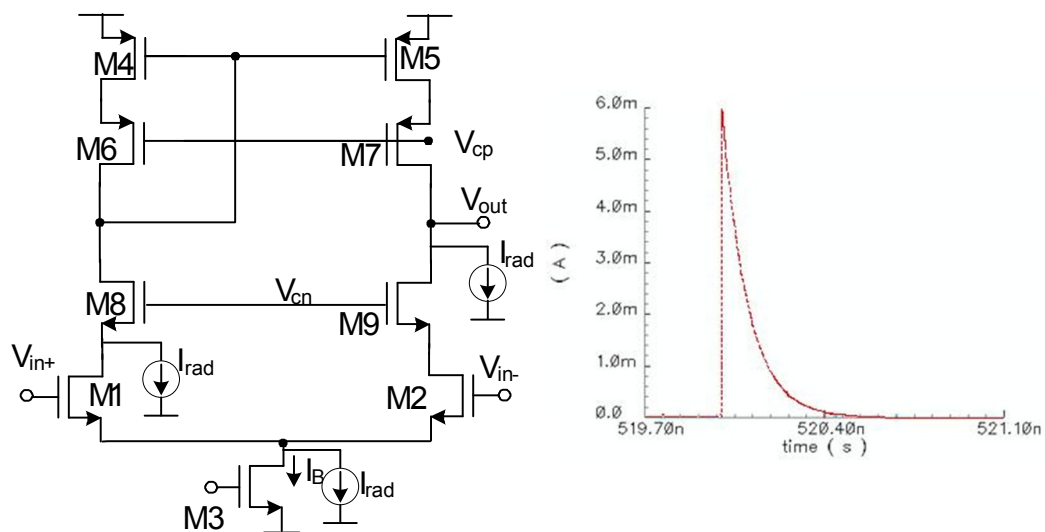


Figura 4.1 – Circuito con fuentes añadidas para simulación y pulso generado por fuentes con modelo de doble exponencial

Los modelos de dichos impactos, implementados primero en lenguaje AHDL y posteriormente en VerilogA, están basados en fuentes de corriente con una dinámica de doble exponencial [Mes82], como se muestra en la ecuación siguiente:

$$I_{\text{rad}} = \frac{Q_c}{\tau_d - \tau_r} \left(e^{-\frac{\tau}{\tau_d}} - e^{-\frac{\tau}{\tau_r}} \right) \quad [4.1]$$

Donde τ_r es el tiempo de subida relacionado con la dinámica de la traza de plasma, τ_d es el tiempo de bajada asociado a la deriva de carga y difusión en el transistor, y Q_c es la cantidad de carga neta inyectada.

El usuario puede definir todos los parámetros necesarios para realizar una campaña de test mediante diversos ficheros de configuración. Estos ficheros también permiten seleccionar una heurística concreta que implemente el análisis de resultados para determinar la sensibilidad ante SET.

Como resultado, AFTU generará un fichero de salida ejecutable basado en *scripts* de OCEAN [Oce11]. Empleando dicho fichero, los impactos de partículas ionizantes pueden ser simulados en Spectre para distintos valores de intensidad de carga, en cualquier nodo del circuito y tiempo de impacto considerado por el usuario. Mediante la ejecución de este fichero, se obtendrá como resultado toda la información estadística sobre los impactos, proporcionando un estudio de la vulnerabilidad del circuito objetivo. De esta manera, todo el análisis se realiza de manera transparente al usuario, aportando como resultado una información que puede resultar crucial para el diseño de sistemas robustos a radiación.

4.2.1 Descripción de AFTU

4.2.1.1 Visión general

Como se ha comentado anteriormente, AFTU es una herramienta software para el análisis automatizado de la respuesta de circuitos analógicos ante impactos de partículas de alta energía. En este apartado, se describirá con más detalle la implementación de dicha herramienta y su funcionamiento, así como algunos ejemplos de análisis de vulnerabilidad realizados en circuitos reales.

En primer lugar, AFTU toma la *netlist* en Spectre del esquemático de simulación transitoria utilizado por el diseñador para validar su circuito, y genera automáticamente una nueva *netlist* “instrumentalizada” (*netlist.instrumentalized*) a la que añade los modelos de inyección de carga que emulan un posible impacto.

Mediante esta nueva *netlist*, idéntica funcionalmente a la original, el usuario puede emular la influencia de la radiación sobre el circuito a nivel de transistor, evaluando el comportamiento del mismo y su vulnerabilidad ante los SET generados.

Para definir la campaña de test, el usuario dispondrá de una lista de posibles nodos del circuito donde simular el impacto (*netlist.sources*), así como donde observar la influencia de los mismos (*netlist.nodes*). Con la ayuda de ellos, se define la campaña de test mediante una serie de ficheros de configuración: *config*, *watch* e *inject*. Entre los parámetros que pueden elegirse por parte del usuario, destacan los siguientes:

- Dispositivos en los que un impacto en cualquier transistor del diseño pueda ser emulado. El usuario podrá considerar todos los dispositivos del circuito para un examen exhaustivo o centrar la campaña en una parte específica del circuito a testear.
- La cantidad de carga total inyectada en el impacto para cada nodo donde se quiera emular su efecto.
- El tiempo o tiempos en que se consideran los impactos. Para un mismo transistor, distintos tiempos de impacto permiten evaluar el comportamiento del circuito analógico en distintas regiones de funcionamiento, permitiendo una mejor caracterización de los efectos producidos.
- Nodos del circuito en los que los efectos de un posible SET deberían ser analizados y reportados (a través del fichero de salida final). No sólo pueden emplearse señales simples en el análisis, sino también señales diferenciales o expresiones matemáticas y algebraicas.
- Parámetros asociados a las heurísticas de análisis empleadas, tales como valores umbrales, tiempos de simulación, definición del rango permitido de una señal, etcétera.
- Información de la tecnología empleada. Hasta el momento, pueden utilizarse tres tecnologías diferentes para el análisis de circuitos de forma transparente al usuario (130 nm CMOS de ST Microelectronics, 180 nm CMOS de UMC, 250 nm SiGe BiCMOS de IHP).

A partir de este punto, el usuario ya ha fijado todos los parámetros necesarios y criterios requeridos para el estudio del circuito bajo radiación, con lo que AFTU genera un fichero basado en scripts de OCEAN (*aftu.lisp*) que permite lanzar la campaña de test y realizar el análisis y clasificación de los resultados.

4.3 Conclusiones

En este capítulo se ha presentado la herramienta desarrollada para análisis de vulnerabilidades ante SEE en circuitos analógicos y mixtos, describiendo su estructura, aplicaciones y funcionalidad. AFTU resulta de gran utilidad para el diseño robusto ante radiación, permitiendo la emulación de impactos de partículas de alta energía empleando modelos de inyección de corriente.

Partiendo de un *test-bench* aportado por el diseñador, la herramienta permite evaluar la influencia de SET inyectados en cualquier transistor del circuito. El usuario puede configurar, mediante una serie de ficheros de entrada (*config*, *inject*, *watch*), todos los parámetros de interés, tales como la carga inyectada, transistores donde emular el impacto, señales de interés, heurística empleada para la discriminación de resultados, etcétera.

La herramienta permite ubicar automáticamente todas las fuentes de inyección de SET y activarlas a conveniencia del usuario, definiendo las campañas de test necesarias tanto para una simulación masiva como para un estudio más específico y detallado.

Así mismo, se aportan una serie de ejemplos de uso en circuitos reales para la mejor comprensión del funcionamiento de AFTU y para mostrar la potencialidad de la misma como herramienta de diseño robusto ante radiación. En particular, se analizan tanto diseños puramente analógicos (*opamp*) como un latch digital en el que los SET pueden generar SEU, e incluso se emplea la herramienta para estudiar las prestaciones de un convertidor A/D de tipo SAR en condiciones de radiación. En todos los casos, se observa la gran utilidad de AFTU en la detección automática de vulnerabilidades en esquemas cuyo número de transistores haría inviable realizar el estudio manualmente.

4.4 Referencias

- [Agu07] Aguirre, M.A.; Tombs, J.N; Muñoz, F.; Baena, V.; Guzman, H.; Nápoles, J.; Torralba, A.; Fernández-León,A; Tortosa-López, F. and Merodio, D., "**Selective protection analysis using a SEU emulator: testing protocol and case study over the LEON2 processor,**" *IEEE Transactions on Nuclear Science*, 54(4), pp.951,956, 19-21 Sept. 2007.
- [Ben06] J. M. Benedetto, P. H. Eaton, D. G. Mavis, M. Gadladge & T. Turflinger. "**Digital Single Event Transient Trends with Technology Node Scaling**". *IEEE Transactions on Nuclear Science*, vol. 53, No. 6, Dec. 2006.

- [Ben07] J. M. Benedetto & P. H. Eaton **“Characterization of Digital Single Event Transient Pulse-Widths in 130-nm and 90-nm CMOS technologies”** *IEEE Transactions on Nuclear Science*, vol. 54, No. 6, Dec. 2007.
- [Jau08] P. Jaulent, V. Pouget, D. Lewis and P. Fouillat, **“Study of Single-Event Transients in High-Speed Operational Amplifiers”**. *IEEE Transactions on nuclear science*, vol.55, nº 4, Aug. 2008
- [Mar12] Marquez, F.; Munoz, F.; Palomo, F.R.; Aguirre, M.A. and Ullan, M., **"Analysis of Single Event Transient Effects in Analogue Topologies"** *4th International Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications (AMICSA '12)*. Aug. 2012.
- [Mar14] F. Márquez, F. Munoz, L. Sanz, F.R. Palomo, and M. A. Aguirre. **"AFTU, an Analog Single Event Effects automatic analysis tool"** *5th International Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications (AMICSA '14)*, July 2014.
- [Mes82] G. Messenger, **“Collection of Charge on junction nodes from ion tracks”**, *IEEE Transactions on nuclear science*, vol.29, nº 6, Dec. 1982.
- [Mog10] J.M. Mogollón, F.R. Palomo, M.A. Aguirre, J. Napoles, H. Guzmán and E. Garcia, **“TCAD Simulations on CMOS Propagation Induced Pulse Broadening Effect: Dependence Analysis on the Threshold Voltage”**, *IEEE Transactions on nuclear science*, vol.57, nº 4, Aug. 2010
- [Nar07] B. Narasimhan, B. L. Bhuva, R. D. Schrimpf, L. W. Massengill, M. J. Galadge, O. A. Amusan, W.T. Holman, A. F. Witulski, W. H. Robinson, J. D. Black,] J. M. Benedetto & P. H. Eaton **“Characterization of Digital Single Event Transient Pulse-Widths in 130-nm and 90-nm CMOS technologies”** *IEEE Transactions on Nuclear Science*, vol. 54, No. 6, Dec. 2007.
- [Oce11] **OCEAN Reference** by Cadence Design Systems dated September 2011 with Product Version 6.1.5
- [Raz92] Razavi, Behzad, and Bruce A. Wooley. **"Design techniques for high-speed, high-resolution comparators."** *IEEE Journal of Solid-State Circuits*, vol.27, nº.12, 1992, pp:1916-19

CAPITULO 5

CONCLUSIONES Y LINEAS FUTURAS

ÍNDICE DEL CAPÍTULO

5.1	Conclusiones.....	140
5.2	Líneas futuras de investigación.	142
5.3	Referencias.	143

En este capítulo se presentan las conclusiones finales obtenidas del trabajo realizado en esta Tesis doctoral. Adicionalmente, se describen las principales líneas de trabajo futuras que podrían emprenderse a partir del trabajo llevado a cabo y los resultados obtenidos en esta Tesis.

5.1 Conclusiones.

El trabajo presentado a lo largo de esta Tesis Doctoral está intrínsecamente relacionado con la evolución del diseño de circuitos integrados analógicos y de señal mixta empleando tecnologías nanométricas. En los últimos años, el desarrollo de éstas ha posibilitado un avance gigantesco en cuanto a funcionalidad y velocidad de los sistemas de comunicaciones. No obstante, también han surgido nuevos retos a nivel de diseño, derivados de los efectos del escalado tecnológico, que obligan a la búsqueda de nuevas soluciones para adecuarse a unas restricciones cada vez más exigentes.

En el presente trabajo, se han realizado aportaciones destinadas a aplicaciones de interés en dos campos relacionados con el diseño microelectrónico analógico en tecnologías nanométricas:

1. Diseño de convertidores Analógico-Digital de muy alta velocidad.

Los nuevos estándares de comunicaciones de banda ancha o la mayor velocidad de lectura de los soportes de almacenamiento de información incrementan la necesidad de mayores velocidades de conversión y menores consumos en el diseño de convertidores A/D. Las prestaciones de las técnicas tradicionales se ven afectadas por los efectos del escalado, siendo necesario emplear nuevas técnicas que permitan alcanzar los requerimientos deseados con un consumo energético eficiente.

2. Diseño robusto de circuitos analógicos para aplicaciones aeroespaciales.

La evolución de las tecnologías CMOS ha contribuido a incrementar los riesgos de errores críticos en circuitos en entornos de alta radiación, donde la interacción de iones pesados con los componentes analógicos puede dar lugar a variaciones transitorias o permanentes en su comportamiento [Jau08] [Fle08]. Por una parte, las frecuencias de funcionamiento cada vez más altas pueden incrementar la sensibilidad ante la captura de SET, aumentando el riesgo de propagación de errores. Además, el escalado de las capacidades en tecnologías CMOS también contribuye a una mayor sensibilidad ante eventos singulares para menores valores de carga inducida.

Dentro del primer ámbito de investigación, se ha diseñado convertidor A/D de 6 bits de tipo flash para el estándar de comunicaciones UWB. Se comenzó realizando un estudio de las limitaciones de las tecnologías nanométricas con vistas a su aplicación al diseño microelectrónico en convertidores de alta velocidad y bajo consumo. Se identificó que, en dichas tecnologías, el comportamiento de los convertidores A/D de tipo flash está limitado por errores causados por las mayores variaciones en los procesos de fabricación.

Mediante el análisis de la literatura, se han estudiado e identificado diferentes tendencias y técnicas seguidas por la comunidad científica en los últimos años con el objetivo de incrementar la eficiencia energética en el ámbito considerado. En concreto, se han descrito y referido numerosas técnicas de compensación, interpolación, submuestreo y simplificación de la circuitería analógica.

Como principal aportación original en este campo, se ha implementado en el convertidor A/D de 6 bits para UWB una técnica novedosa de calibración [Mar13] para compensación de *offset* y *mismatch* en el dominio analógico. Sobre la topología básica de un convertidor flash, se ha diseñado un esquema empleando técnicas de interpolación capacitiva para disminuir el número de amplificadores mejorando las prestaciones en consumo sobre arquitecturas tradicionales. El esquema propuesto no usa capacidades a la entrada del convertidor, reduciendo la carga en la misma, así como disminuyendo el consumo de los bloques anteriores. Así mismo, esta técnica permite emplear una única fase de reloj, disponiendo así los amplificadores de más tiempo de trabajo en cada ciclo, lo que resulta en una menor exigencia en sus prestaciones y ahorro en consumo. La Tesis Doctoral presenta resultados experimentales que demuestran la viabilidad de la técnica propuesta, situándose el convertidor fabricado muy cerca del estado del arte en el momento de la publicación.

En el ámbito del diseño microelectrónico para aplicaciones espaciales, la principal aportación de esta Tesis Doctoral ha sido el desarrollo de un nuevo software de ayuda al diseño de circuitos robusto a radiación: AFTU [Mar14]. En el contexto considerado y en el marco de proyectos industriales relacionados (Cosmic Vision, FTU2), se constata la necesidad de seguir una estricta metodología de evaluación y test para asegurar el correcto funcionamiento de los circuitos diseñados en entornos de alta radiación [Schw08]. El conocimiento de las partes más vulnerables a efectos de la radiación es un punto crítico para el diseño tolerante a fallos (RHbD) de circuitos microelectrónicos, y se requiere de una herramienta automatizada que permita un análisis rápido de vulnerabilidades en etapas tempranas del diseño.

Para evaluar y depurar el funcionamiento de la herramienta, se ha analizado la sensibilidad a SET de diferentes circuitos reales, tanto diseños propios como ajenos realizados en colaboración con empresas. En concreto, se han llevado a cabo análisis en:

- Diversas estructuras de amplificadores operacionales clásicas (*opamps*)
- Diversas celdas básicas de tipo latch en distintas tecnologías (130 nm de STMicroelectronics, 180 nm UMC e IHP 250 nm SiGe BiCMOS)

- Un módulo de transmisión LVDS [LopJ14] diseñado por Arquimea Ingeniería S.L.U., en tecnología IHP 250 nm SiGe BiCMOS, como parte de un estudio de sensibilidad ante SET del diseño previo a su fabricación.
- Un pad de entrada/salida (I/O) diseñado por IHP Microelectronics en tecnología de 250 nm SiGe BiCMOS, como asesoramiento para diseño robusto ante radiación.

Esta evaluación ha permitido tanto depurar los *bugs* detectados en el desarrollo de la herramienta, como definir nuevas heurísticas para el análisis de sensibilidad. Además, se han incorporado paulatinamente nuevas tecnologías sobre las que poder realizar los análisis. Es importante señalar que algunos de los circuitos evaluados están constituidos por un número de transistores del orden de varias centenas, lo que da una idea de la complejidad del análisis y potencialidad de la herramienta.

5.2 Líneas futuras de investigación.

Fruto de las aportaciones expuestas a lo largo de esta Tesis Doctoral, se han abierto nuevas vías de interés para futuras investigaciones. Entre ellas, podemos destacar las que se mencionan a continuación:

En el ámbito del diseño de convertidores A/D de alta velocidad y bajo consumo, la búsqueda de una arquitectura de conversión más adecuada para la técnica de compensación propuesta podría ser objeto de estudio. A pesar de que los datos experimentales avalan la técnica presentada, debido al área finalmente requerida en su implementación, ésta parece más adecuada para resoluciones menores (2-3 bits), tal vez como parte de esquemas de subconversión en convertidores de tipo SAR o *Time-interleaving*.

En lo relacionado con el diseño de circuitos para aplicaciones aeroespaciales en entornos de alta radiación, se consideran varias líneas de expansión para el desarrollo de la herramienta de análisis AFTU, entre las cuales destacan:

- Integración de AFTU en un entorno web, así como mejoras de usabilidad y depuración de errores, tomando en consideración las sugerencias de los diseñadores que puedan tener acceso a ella.

- Estudio de posibles modelos adicionales de impactos para la simulación de efectos de la radiación en los circuitos, valorando la posibilidad de incorporar efectos de carga acumulada (TID) además de SET.

- Posibilidad de implementar nuevas heurísticas definidas por el usuario de la herramienta o, en su defecto, ampliación del espectro disponible para dotar a AFTU de mayores posibilidades de análisis en diversos tipos de circuitos y simulaciones.

- Incorporación de patrones geométricos al análisis de vulnerabilidades, de manera que puedan incluirse parámetros tales como influencia en transistores vecinos a los impactados o análisis de un área concreta de los circuitos de forma automática.

- Estudio de la integración de AFTU con la herramienta de inyección de fallos en circuitos digitales FT-UNSHADES, desarrollada también por el Grupo de Ingeniería Electrónica (GIE), con vistas a realizar simulaciones exhaustivas de circuitos mixtos empleando la potencialidad conjunta de ambas.

5.3 Referencias.

- [Fle08] Fleming, P.R.; Olson, B.D.; Holman, W.T.; Bhuva, B.L.; Massengill, L.W., **"Design Technique for Mitigation of Soft Errors in Differential Switched-Capacitor Circuits,"** *Circuits and Systems II: Express Briefs, IEEE Transactions on* , vol.55, no.9, pp.838,842, Sept. 2008
- [Gar11] J. R. García-Oya, A. Jurado, F. Muñoz, A. Torralba, F. Márquez: **"Multiple Clocking High Analog-to-Digital Conversion Based on Subsampling."** *Conference on Design of Circuits and Integrated System (DCIS 2011)*. Albufeira, Portugal. 2011
- [Jau08] P. Jaulent, V. Pouget, D. Lewis and P. Fouillat, **"Study of Single-Event Transients in High-Speed Operational Amplifiers".** *IEEE Transactions on nuclear science*, vol.55, nº 4, Aug. 2008
- [LopE11] E. López-Morillo, F. Muñoz, A. Torralba, F. Márquez Lasso, I. Rebollo: **"A Very Low-area Amplifier-less EA Modulator for RFID Applications."** *DCIS 2011*. Albufeira, Portugal. 2011
- [LopJ14] J. López-Soto, D. González-Gutiérrez, J. Ilstad, M. Cirillo, F. Korndörfer; **"Use of IHP's 0.25 μ m BiCMOS Process in the Development of European LVDS Devices"** *5th International Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications (AMICSA '14)*, July 2014.
- [Mar08] F. Márquez, F. Muñoz, M. Álvarez, R. Ibañez, R. G. Carvajal: **"A 6-Bit 1-Gs/S Flash-ADC Using Capacitive Interpolation in 0.13-Um CMOS."** *Conference on Design of Circuits and Integrated Systems*. Grenoble (Francia). 2008

- [Mar12] Márquez, F.; Munoz, F.; Palomo, F.R.; Aguirre, M.A. and Ullan, M., **"Analysis of Single Event Transient Effects in Analogue Topologies"** *4th International Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications (AMICSA '12)*. Aug. 2012.
- [Mar13] F. Márquez, F. Muñoz, R.G. Carvajal, J.R. García-Oya, E. López-Morillo, A. Torralba, J. Galán; **"A novel autozeroing technique for flash Analog-to-Digital converters"** *Integration, the VLSI Journal*, 01/2014; 47(1):23–29
- [Mar14] F. Márquez, F. Munoz, L. Sanz, F.R. Palomo, and M. A. Aguirre. **"AFTU, an Analog Single Event Effects automatic analysis tool"** *5th International Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications (AMICSA '14)*, July 2014.
- [PalB12] B. Palomo, F. Muñoz, R. G. Carvajal, J. R. García-Oya, F. Márquez Lasso, **"An 8-bit 19 MS/s low-power 0.35um CMOS pipelined ADC for DVB-H."** *Integration The VLSI journal, Vol. 45 Issue 2, Pp.:222-227*, 2012.
- [Schw08] J. R. Schwank et al. **"Radiation Hardness assurance testing of microelectronic devices and integrated circuits: radiation environments, physical mechanisms, and foundations for hardness assurance"**, *Sandia National Laboratories SAND-2008-6851-P*

BIBLIOGRAFÍA

- [Agu07] Aguirre, M.A.; Tombs, J.N; Muñoz, F.; Baena, V.; Guzman, H.; Nápoles, J.; Torralba, A.; Fernández-León,A; Tortosa-López, F. and Merodio, D., **"Selective protection analysis using a SEU emulator: testing protocol and case study over the LEON2 processor,"** *IEEE Transactions on Nuclear Science*, 54(4), pp.951,956, 19-21 Sept. 2007.
- [Ald08] M. Alderighi, F. Casini, M. Citterio, S. D'Angelo, M. Mancini, S. Pastore, G.R. Sechi, and G. Sorrenti. **"Using flipper to predict irradiation results for virtex 2 devices."** *Radiation and Its Effects on Components and Systems (RADECS)*, 2008 European Conference on, pages 300 –305, sept. 2008.
- [Alp09] Alpman, E.; Lakdawala, H.; Carley, L.R.; Soumyanath, K.; **"A 1.1V 50mW 2.5GS/s 7b Time-Interleaved C-2C SAR ADC in 45nm LP digital CMOS,"** *IEEE InternationalSolid-State Circuits Conference - Digest of Technical Papers*, 2009. ISSCC 2009., pp.76-77,77a, 8-12 Feb. 2009.
- [And05] David de Andrés, José Albaladejo, Lenin Lemus, and Pedro Gil. **"Fast runtime reconfiguration for seu injection."** *Dependable Computing - EDCC 5, volume 3463 Bibliography of Lecture Notes in Computer Science*, pages 230–245. Springer Berlin/Heidelberg, 2005.
- [Ann03] Anne-Johan Annema, Bram Nauta, Ronald van Langevelde, Hans Tuinhout. **"Analog Circuits in Ultra-Deep-Submicron CMOS."** *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 1, Jan 2005
- [Ant03] L. Antoni, R. Leveugle, and B. Feher. **"Using run-time reconfiguration for fault injection applications."** *Instrumentation and Measurement, IEEE Transactions on*, 52(5):1468 – 1473, oct. 2003.
- [Arl90] J. Arlat, M. Aguera, L. Amat, Y. Crouzet, J.-C. Fabre, J.-C. Laprie, E. Martins, and D. Powell. **"Fault injection for dependability validation: A methodology and some applications."** *IEEE Transactions on Software Engineering*, 16:166–182, 1990.
- [Bar06] Barnaby, H.J. **"Total-Ionizing-Dose Effects in modern CMOS technologies"**, *IEEE Transactions on Nuclear Science*, vol 53, Issue 6, 2006
- [Bar07] H.J.Barnaby et al., **"Total Ionizing dose effects on isolation oxides in modern CMOS technologies"**, *Nuclear Instruments and Methods in Physics Research*, B261, 2007

- [Bas09] A Baschiroto, P Delizia, S D'Amico, V Chironi, G Cocciolo, M De Matteis. **"Low power analog design in scaled technologies."** 2009, CERN
- [Bell10] Belleville, M. ; Fanet, H.; Fiorini, P.; Nicole, P.; Pelgrom, M.J.M.; Piguet, C.; Hahn, R.; VanHoof, C.; Vullers, R.; Tartagni, M. & Cantatore, E. **"Energy autonomous sensor systems: Towards a ubiquitous sensor technology."** *Elsevier Microelectronics Journal*. Vol., No. 41, (March 2010), pp.(740-745).
- [Ben06] J. M. Benedetto, P. H. Eaton, D. G. Mavis, M. Gadlodge & T. Turflinger. **"Digital Single Event Transient Trends with Technology Node Scaling"**. *IEEE Transactions on Nuclear Science*, vol. 53, No. 6, Dec. 2006.
- [Ben07] J. M. Benedetto & P. H. Eaton **"Characterization of Digital Single Event Transient Pulse-Widths in 130-nm and 90-nm CMOS technologies"** *IEEE Transactions on Nuclear Science*, vol. 54, No. 6, Dec. 2007.
- [Blo02] C: Bloomingdale and G. Hendrickson, **"LVDS Data Outputs for High-Speed Analog-to-Digital Converters."** *AN-586 Application Note*. Analog Devices, Inc., 2002
- [Bou98] J. Boue, P. Petillon, and Y. Crouzet. **"Mefisto-I: a vhdl-based fault injection tool for the experimental assessment of fault tolerance."** *Fault-Tolerant Computing, 1998. Digest of Papers. Twenty-Eighth Annual International Symposium on*, pages 168 –173, jun 1998.
- [Bro09] Brooks, L. and Hae-Seung Lee **"A 12b 50MS/s fully differential zero-crossing-based ADC without CMFB"**, *IEEE International Solid-State Circuits Conference - Digest of Technical Papers, ISSCC 2009*, (8-12 Feb. 2009), pp.(166 - 167).
- [Bul00] Bult, K., **"Analog design in deep sub-micron CMOS,"** *Solid-State Circuits Conference, 2000. ESSCIRC '00. Proceedings of the 26rd European*, pp.126,132, 19-21 Sept. 2000
- [Cao09] Cao, Z.; Yan, S. & Li, Y. **"A 32 mW 1.25 GS/s 6b 2b/Step SAR ADC in 0.13 μ m CMOS"**. *IEEE Journal of Solid State Circuits*, vol. 44, n^a 3, March 2009, pp. (862-873).
- [Car05] Carvajal, R.G.; Ramirez-Angulo, J.; Lopez-Martin, A.J.; Torralba, A.; Galan, J.A.G.; Carlosena, A.; Chavero, F.M., **"The flipped voltage follower: a useful cell for low-voltage low-power circuit design,"** *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol.52, no.7, pp.1276,1291, July 2005

-
- [Cha09] Chae, Y. and Han.G. **“Low Voltage, Low Power, Inverter-Based Switched-Capacitor Delta-Sigma Modulator”**.*IEEE J. Solid-State Circuits*, Vo. 44 , No. 2, (Jan. 2009), pp. (458 - 472).
- [CheC09] C.C. Chen, Y.L. Chung and C.I. Chiu, **"A 6-b 1.6 GS/s flash ADC with distributed track-and-hold pre-comparators in 0.18 um CMOS"** *IEEE ISSCS*, July 2009, pp.1-4.
- [CheY09] C.-Y. Chen, Le, M.Q., K. Y. Kim, **"A Low Power 6-bit Flash ADC With Reference Voltage and Common-Mode Calibration"**, *Solid-State Circuits, IEEE Journal of*, pp. 1041 - 1046 Volume: 44, Issue: 4, April 2009
- [Cho01] M. Choi and A. Abidi, **"A 6-b 1.3 Gsamples/s A/D converter in 0.35"**, *IEEE J. Solid-State Circuits*, vol.36, pp.1847-1858, Dec. 2001.
- [Civ02] P. Civera, L. Macchiarulo, M. Rebaudengo, M. Sonza Reorda, and M. Violante. **“An fpga-based approach for speeding-up fault injection campaigns on safety-critical circuits.”** *J. Electron. Test.*, 18:261–271, June 2002.
- [Col08] Colodro, P. ; Torralba, A. & Laguna, M. **“Continuous-Time Sigma-Delta Modulator With an Embedded Pulsewidth Modulation”**.*IEEE Trans. on Circuits and Systems-I*, vol. 55, Issue 3, March 2008, pp. (775-785).
- [Dai00] Liang Dai; Harjani, R., **"CMOS switched-op-amp-based sample-and-hold circuit,"** *Solid-State Circuits, IEEE Journal of*, vol.35, no.1, pp.109-113, Jan. 2000
- [Dan05] H. Dang, M. Sawan, Y. Savaria, **“A novel approach for implementing ultra-high speed flash ADC using MCML circuits”**, *IEEE Int. Symposium on Circuits and Systems*, vol.6, pp. 6158-6161, May 2005.
- [Deg07] K. Deguchi, N. Suwa, M. Ito, T. Kumamoto, T. Miki, **“A 6 bit 3.5-GS/s 0.9V 98 mV Flash ADC in 90nm CMOS”**, *IEEE J. Solid-State Circuits*, vol. 43, No. 10, Oct. 2008
- [Dra04] Draxelmayr, D. **“A 6b 600MHz 10mW ADC Array in Digital 90nm CMOS”**.*Digest of Technical Papers of IEEE International Solid-State Circuits Conference 2004*, February 2004.
- [Fay04] Fayomi, C.J.B.; Roberts, G.W., **"Design and characterization of low-voltage analog switch without the need for clock boosting,"** *Circuits and Systems, 2004. MWSCAS '04. The 2004 47th Midwest Symposium on*, vol.3, pp.iii,315-18, 25-28 July 2004
-

- [Fio06] Fiorenza, J. K.; Sepke, T.; Holloway, P.; Sodini, C. G. and Lee, H.-S. **“Comparator-based switched-capacitor circuits for scaled CMOS technologies”**, *IEEE J. Solid-State Circuits*, Vol. 41, (Dec. 2006), pp. (2658–2668).
- [Fle08] Fleming, P.R.; Olson, B.D.; Holman, W.T.; Bhuva, B.L.; Massengill, L.W., **“Design Technique for Mitigation of Soft Errors in Differential Switched-Capacitor Circuits,”** *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol.55, no.9, pp.838,842, Sept. 2008
- [Fly03] Flynn, M. P.; Donovan, C. & Satler, L. **“Digital calibration incorporating redundancy of Flash ADCs”**.*IEEE Transactions on Circuits and Systems II*, vol. 50, n° 5, May 2003, pp. (205-213).
- [Gar11] J. R. García-Oya, A. Jurado, F. Muñoz, A. Torralba, F. Márquez: **“Multiple Clocking High Analog-to-Digital Conversion Based on Subsampling.”** *Conference on Design of Circuits and Integrated System (DCIS 2011)*. Albufeira, Portugal. 2011
- [Gar12a] J. R. García-Oya, F. Muñoz Chavero, R. M. Clemente, F. Márquez, E. López-Morillo and A. Torralba Silgado, **“Analog-to-Digital Conversion Systems for High Data Acquisition Rate”**, Academy Publish. 2014.
- [Gar12b] J. R. García-Oya, A. Kwan, F. Muñoz Chavero, F. M. Ghannouchi, M. Helaoui, F. J. Márquez, E. López-Morillo and A. Torralba Silgado, **“Subsampling Receivers with Applications to Software Defined Radio Systems”**, *Data Acquisition Applications*, Prof. Zdravko Karakehayov(Ed.), (ISBN) 979-953-307-817-4, InTech.
- [Gar12c] J. R. G. Oya, F. Munoz, A. Torralba, A. Jurado, F. J. Márquez and E. Lopez-Morillo, **“Data Acquisition System based on Subsampling Using Multiple Clocking Techniques”**, *IEEE Transactions on Instrumentation and Measurement*, Vol.61, No.8, pp.2333-2335, Aug. 2012
- [Garg03] Garg, M.; Suryagandh, S.S.; Woo, J.C.S., **“Scaling impact on analog performance of sub-100nm MOSFETs for mixed mode applications,”** *European Solid-State Device Research, 2003. ESSDERC '03. 33rd Conference on*, pp.371,374, 16-18 Sept. 2003
- [GonI01] I. González and L. Berrojo. **“Supporting fault tolerance in an industrial environment: the amatista approach.”** *In On-Line Testing Workshop, 2001. Proceedings. Seventh International*, pages 178 –183, 2001. 1.4.3

-
- [GonD04] D. González. **“The SEUs Simulation Tool (SST), functional description”** *European Space Agency (ESA). Document Reference TEC-EDM/DGGSST2*. Apr2004.
- [Gra68] D. Grace and S. P. Pitt, **“Quadrature sampling of high frequency waveforms,”** *Journal of the Acoustical Society of America*, vol. 44, pp. 1432-1436, 1968.
- [Has07] Hashemi, S. & Shoaee, O.; **“A 0.9-V 10-bit 100-MSample/s pipelined ADC using switched-RC and opamp sharing techniques”**. *50th Midwest Symposium on Circuits and Systems 2007*, Aug. 2007.
- [Hei06] T. Heijmen, D. Giot, and P. Roche. **“Factors that impact the critical charge of memory elements.”** *In On-Line Testing Symposium*, 2006. IOLTS 2006. 12th IEEE International, July 2006.
- [Hos79] Hosticka, B. J. **“Dynamic CMOS amplifiers”** *IEEE J. Solid-State Circuits*, Vol. 14, (Dec.1979) , pp. 1111–1114.
- [Hsu03] C.-W. Hsu, T.-H. Kuo; **“6-bit 500 MHz flash A/D converter with new design techniques”**, *IEE Proceedings - Circuits, Devices and Systems*, Volume 150, Issue 5, October 2003, p. 460 – 464
- [Jia03] X. Jiang, Z. Wang, M. F. Chang, **“A 2 GS/s 6-b ADC in 0.18”**, *Proc. IEEE Int. Solid-State Circuits Conference*, vol.1, pp. 322-497, Feb. 2003.
- [Jau08] P. Jaulent, V. Pouget, D. Lewis and P. Fouillat, **“Study of Single-Event Transients in High-Speed Operational Amplifiers”**. *IEEE Transactions on nuclear science*, vol.55, n° 4, Aug. 2008
- [Jim11] Jimenez-Irastorza, A.; Sevillano, J.F.; Berenguer, R. and Rebollo, I. **“Recursive Successive Approximation Time-to-Digital Converter for low-power RFID tag sensors”**, *XXVI Conference on Design of Circuits and Integrated Systems (DCIS)*, (November 2011).
- [KanG92] G.A. Kanawati, N.A. Kanawati, and J.A. Abraham. **“Ferrari: a tool for the validation of system dependability properties. In Fault-Tolerant Computing, 1992. FTCS-22. Digest of Papers.”**, *Twenty-Second International Symposium on*, pages 336 –344, jul 1992.
- [KanJ99] J. Kanan, F Kaess y M. Declercq. **“A 640 mW high accuracy 8-bit 1 GHz flash ADC encoder.”** *IEEE International Symposium on Circuits and Systems - ISCAS* , pp. 420-423, 1999
-

- [Kij09] Kijima, M.; Ito, K.; Kamei, K. & Tsukamoto, S. **“A 6b 3GS/s Flash ADC with Background Calibration”**. *Proceedings of IEEE 2009 Custom Intergrated Circuits Conference*, San Jose, CA, September 2009.
- [Kim06] Kim, H.-C.; Jeong, D.-K. & Kim, W. **“A partially switched-opamp technique for high-speed low-power pipelined analog-to-digital converters”**. *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol.53, no.4, April 2006, pp. (795- 801).
- [Kuo04] Kuo, C.-H.& Liu, S.-H. **“A 1-V 10.7-MHz Fourth-Order Bandpass $\Sigma\Delta$ Modulators Using Two Switched Opamps”**. *IEEE Journal of Solid-State Circuits*, vol. 39, n^a 11, November 2004, pp. (2041-2045).
- [Kwa12] Kwan A., Bassam S.A., Ghannouchi F., **“Sub-sampling Technique for Spectrum Sensing in Cognitive Radio Systems”** *IEEE Radio and Wireless Symposium*, RWS 2012: pp. 347-350.
- [Lee02] Daegyu Lee; Jincheol Yoo; Kyusun Choi; Jahan Ghaznavi, **“Fat tree encoder design for ultra-high speed flash A/D converters,”** *Circuits and Systems, 2002. MWSCAS-2002. The 2002 45th Midwest Symposium on* , vol.2, no., pp.II-87,II-90 vol.2, 4-7 Aug. 2002
- [Lin06] Y.Z. Lin, Y.-T. Liu and S.-J. Chang, **“A 6-bit 2-GS/s Flash Analog-to-Digital Converter in 0.18- μ m CMOS Process”**, *Solid-State Circuits Conference (ASSCC'06)*, pp. 351-354, Nov. 2006.
- [LopE11] E. López-Morillo, F. Muñoz, A. Torralba, F. Márquez Lasso, I. Rebollo: **“A Very Low-area Amplifier-less EA Modulator for RFID Applications.”** *DCIS 2011*. Albufeira, Portugal. 2011
- [LopE13] E. López Morillo, F. Muñoz, A. Torralba, F. Márquez, I. Rebollo. **“Compact low-power implementation for continuous-time SD modulators.”** *Integration, the VLSI Journal*. 2013. Vol. 46. Núm. 4. Pag. 441-448
- [LopJ14] J. López-Soto, D. González-Gutiérrez, J. Ilstad, M. Cirillo, F. Korndörfer; **“Use of IHP's 0.25 μ m BiCMOS Process in the Development of European LVDS Devices”** *5th International Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications (AMICSA '14)*, July 2014.
- [Mad94] Henrique Madeira, Mário Z. Rela, Francisco Moreira, and João G. Silva. **“Rifle: A general purpose pin-level fault injector.”** *EDCC*, pages 199–216, 1994.

-
- [Mai02] R. Maia, L. Henriques, D. Costa, and H. Madeira. “**Xceptiontm – enhanced automated fault-injection environment.**” *Dependable Systems and Networks, 2002. DSN 2002. Proceedings. International Conference on*, page 547, 2002.
- [Mar08] F. Márquez, F. Muñoz, M. Álvarez, R. Ibañez, R. G. Carvajal: “**A 6-Bit 1-Gs/S Flash-ADC Using Capacitive Interpolation in 0.13-Um CMOS.**” *Conference on Design of Circuits and Integrated Systems*. Grenoble (Francia). 2008
- [Mar12] Marquez, F.; Munoz, F.; Palomo, F.R.; Aguirre, M.A. and Ullan, M., “**Analysis of Single Event Transient Effects in Analogue Topologies**” *4th International Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications (AMICSA '12)*. Aug. 2012.
- [Mar13] F. Márquez, F. Muñoz, R.G. Carvajal, J.R. García-Oya, E. López-Morillo, A. Torralba, J. Galán; “**A novel autozeroing technique for flash Analog-to-Digital converters**” *Integration, the VLSI Journal*, 01/2014; 47(1):23–29
- [Mar14] F. Márquez, F. Munoz, L. Sanz, F.R. Palomo, and M. A. Aguirre. “**AFTU, an Analog Single Event Effects automatic analysis tool**” *5th International Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications (AMICSA '14)*, July 2014.
- [Mas08] Massengill, L.W.; Tuinenga, P.W., “**Single-Event Transient Pulse Propagation in Digital CMOS,**” *IEEE Transactions on nuclear science*, vol.55, no.6, pp.2861,2871, Dec. 2008
- [Mav07] D.G. Mavis & P. H. Eaton “**SEU and SET modelling and Mitigation in Deep Submicron Technologies**” *45th Annual International Reliability Physics Symposium*, Phoenix 2007
- [Mes82] G. Messenger, “**Collection of Charge on junction nodes from ion tracks**”, *IEEE Transactions on nuclear science*, vol.29, nº 6, Dec. 1982.
- [Mit95] J. Mitola, “**The software radio architecture**” *IEEE Communications Magazine*, Vol. 33, no. 5, 26-38, May 1995.
- [Mit99] Mitola, J.; Maguire, G.Q., Jr., “**Cognitive radio: making software radios more personal,**” *IEEE Personal Communications*, vol.6, no.4, pp.13,18, Aug 1999.
-

- [Mog10] J.M. Mogollón, F.R. Palomo, M.A. Aguirre, J. Napoles, H. Guzmán and E. Garcia, **“TCAD Simulations on CMOS Propagation Induced Pulse Broadening Effect: Dependence Analysis on the Threshold Voltage”**, *IEEE Transactions on nuclear science*, vol.57, nº 4, Aug. 2010
- [Mog11] Mogollon, J.M.; Guzman-Miranda, H.; Napoles, J.; Barrientos, J.; Aguirre, M.A., **“FTUNSHADES2: A novel platform for early evaluation of robustness against SEE,”** *Radiation and Its Effects on Components and Systems (RADECS), 2011 12th European Conference on* , vol., no., pp.169,174, 19-23 Sept. 2011
- [Mog13] J.M.Mogollón, **“Contributions to the Detection and Diagnosis of Soft Errors In Radiation Environments”** *Tesis doctoral*, Universidad de Sevilla, Ago. 2013
- [Muñ08] F. Muñoz, F. Márquez, R. G. Carvajal, J. R. García-Oya, A. Torralba: **“A 185 Mw, 6-Bit, 1gs/S Flash a/D Converter Based on a New Autozeroing Technique.”** *Conference on Design of Circuits and Integrated Systems*. Grenoble (Francia). 2008
- [Mur08] Murmann, B. (2008). **“A/D Converter Trends: Power Dissipation, Scaling and Digitally Assisted Architectures”**. *Proceedings of IEEE Custom Integrated Circuits Conference, 2008, CICC 2008*. ISBN 978-1-4244-2018-6, San Jose, CA, November 2008.
- [Mur13] Murmann, B., **“Energy limits in A/D converters”** *Faible Tension Faible Consommation (FTFC), 2013 IEEE* , vol., no., pp.1,4, 20-21 June 2013
- [Nar07] B. Narasimhan, B. L. Bhuvu, R. D. Schrimpf, L. W. Massengill, M. J. Galadge, O. A. Amusan, W.T. Holman, A. F. Witulski, W. H. Robinson, J. D. Black,] J. M. Benedetto & P. H. Eaton **“Characterization of Digital Single Event Transient Pulse-Widths in 130-nm and 90-nm CMOS technologies”** *IEEE Transactions on Nuclear Science*, vol. 54, No. 6, Dec. 2007.
- [Oce11] **OCEAN Reference**, Sept. 2011. Cadence Design Systems, dated September 2011, Product Version 6.1.5
- [Pag11] S. Pagliarini, F. Kanstendsmidt, L. Entrena, A. Lindoso & E. San Millán **“Analyzing the impact of Single-Event-induced Charge sharing in complex circuits”** *IEEE Transactions on nuclear science*, vol. 58, No. 6, Dec. 2011

-
- [PalB12] B. Palomo, F. Muñoz, R. G. Carvajal, J. R. García-Oya, F. Márquez Lasso, **"An 8-bit 19 MS/s low-power 0.35 μ m CMOS pipelined ADC for DVB-H."** *Integration The VLSI journal*, Vol. 45 Issue 2, Pp.:222-227, 2012.
- [PalF12] F. R. Palomo **"Test de eventos singulares para microelectrónica digital en España"** *Tesis doctoral*, Universidad de Sevilla, Julio 2012
- [Par07] Park, S. ; Palaskas, Y. & Flynn, M.P. **"A 4-GS/s 4-bit Flash ADC in 0.18- μ m CMOS"**. *IEEE Journal of Solid State Circuits*, vol. 42, nº2, September 2007, pp. 1865-1872.
- [Pla03] R.J. van de Plassche, **"CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters"**, Dordrecht, Kluwer Academic Publishers, 2003.
- [Pla06] Van der Plas, G.; Decoutere, S. & Donnay, S. **"A 0.16pJ/Conversion-Step 2.5mW 1.25 GS/s 4b ADC in a 90nm Digital CMOS Process."** *Digest of Technical Papers of IEEE International Solid-State Circuits Conference 2006*, February 2006
- [Qui13] Quinn, H.M.; Black, D.A.; Robinson, W.H.; Buchner, S.P., **"Fault Simulation and Emulation Tools to Augment Radiation-Hardness Assurance Testing,"** *Nuclear Science, IEEE Transactions on* , vol.60, no.3, pp.2119,2142, June 2013
- [Raz92] Razavi, Behzad, and Bruce A. Wooley. **"Design techniques for high-speed, high-resolution comparators."** *IEEE Journal of Solid-State Circuits*, vol.27, nº.12, 1992, pp:1916-19
- [Roy03] Roy, K.; Mukhopadhyay, S.; Mahmoodi-Meimand, H., **"Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits,"** *Proceedings of the IEEE*, vol.91, no.2, pp.305,327, Feb 2003
- [Sal04a] Sall, E.; Vesterbacka, M.; Andersson, K.A., "A study of digital decoders in flash analog-to-digital converters," *Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on* , vol.1, no., pp.I-129,I-132, 23-26 May 2004
- [Sal04b] E. Säll and M. Vesterbacka, **"A Multiplexer Based Decoder for Flash Analog-to-Digital Converters"** *TENCON'04, 2004 IEEE Region 10 Conference*, vol.4, pp. 250-253, Nov. 2004.
- [San05] C. Sandner, M. Clara, A. Santner, T. Hartig, F. Kuttner, **"A 6-bit 1.2-GS/s low-power flash-ADC in 0.13- μ m digital CMOS"**, *IEEE Journal of Solid-State Circuits*, vol. 40, nº 7, pp. 1499-1505, July 2005.
-

- [Sas09] Sasidhar, N.; Y.-J. Kook; Takeuchi, S.; Hamashita, K.; Takasuka, K.; Hanumolu, P.K. & U.-K. Moon; **“A Low Power Pipelined ADC Using Capacitor and Opamp Sharing Technique With a Scheme to Cancel the Effect of Signal Dependent Kickback”**. *IEEE Journal of Solid-State Circuits*, vol.44, no.9, Sept. 2009, pp. (2392-2401).
- [Shi08] Shin, S.-K.; You, Y.-S.; Lee, S.-H.; Moon, K.-H.; Kim, J.-W.; Brooks, L. and Lee, H. S. (2008). **“A fully-differential zero-crossing-based 1.2 V 10b 26 MS/s pipelined ADC in 65 nm CMOS”**, *IEEE Trans. VLSI Syst.*, (Jun. 2008).
- [Scho02] P. Scholtens and M. Vertregt, **“A 6-b 1.6-Gsample/s Flash ADC in 0.18- μ m CMOS using averaging termination”**, *IEEE J. Solid-State Circuits*, vol. 37, pp.1599-1609, Mar. 2002.
- [Schw08] J. R. Schwank et al. **“Radiation Hardness assurance testing of microelectronic devices and integrated circuits: radiation environments, physical mechanisms, and foundations for hardness assurance”**, *Sandia National Laboratories SAND-2008-6851-P*
- [Shu12] Y.-S. Shu, **“A 6b 3GS/s 11mW fully dynamic flash ADC in 40nm CMOS with reduced number of comparators”**, *VLSI Circuits (VLSIC), 2012 Symposium on*, pp. 26 – 27, June 2012
- [SND13] **Satellite outages and failures**, 2013. *Satellite News Digest*. <http://www.sat-index.co.uk/failures/>
- [Sro03] J.R. Srour, C.J. Marshall, and P.W. Marshall. **“Review of displacement damage effects in silicon devices.”** *Nuclear Science, IEEE Transactions on*, 50(3):653 – 670, June 2003.
- [Ste11] M. Steyaert, A. van Roermund, A. Baschiroto. **Analog Circuit Design**. Springer
- [Sun09] Sundström, T. & Alvandpour, A. **“Utilizing process variations for reference generation in a Flash ADC”** *IEEE transactions on circuits and systems II*, vol. 56, n° 5, May 2009, pp. (364-368).
- [Tsa05] Tsang, T.K.K.; El-Gamal, M.N., **“Ultra-wideband (UWB) communications systems: an overview,”** *IEEE-NEWCAS Conference, 2005. The 3rd International*, vol., no., pp.381,386, 19-22 June 2005
- [Vau91] R. G. Vaughan, N. L. Scott and D. R. White **“The Theory of Bandpass Sampling”** *IEEE Transactions on Signal Processing*, Vol. 39, pp. 1973-1984, Sep. 1991.

-
- [Vel98] R. Velazco, Ph. Cheynet A., and Bofill R. Ecoffet. **“Thesic: A testbed suitable for the qualification of integrated circuits devoted to operate in harsh environment.”** *IEEE European Test Workshop (ETW’98)*, Sitges, (Spain), pages 89–90, may 1998.
- [Vel01] R. Velazco, R. Leveugle, and O. Calvo. **“Upset-like fault injection in vhdl descriptions: A method and preliminary results.”** In *Defect and Fault Tolerance in VLSI Systems, 2001. Proceedings. 2001 IEEE International Symposium on*, pages 259–267, 2001.
- [Vel07] Raoul Velazco, Pascal Fouillat, and Ricardo Reis (Editors). ***Radiation Effects on Embedded Systems***. Springer, 2007.
- [Veld08] van Veldhoven, R. H. M. van; Rutten, R. and Breems, L. J. (2008). **“An inverter based hybrid $\Sigma\Delta$ modulator”**, *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, (Feb. 2008), pp. (492–493).
- [Wan09] Wang, H.; Xu, J. and Wu, X. **“A high power efficiency Class AB switched-opamp for low voltaje low power sigma-delta modulators”**. *IEEE International Conference of Electron Devices and Solid-State Circuits*, EDSSC 2009. Vol. , No., (25-27 Dec. 2009). pp.(429-432).
- [Wei08] H.-G. Wei, U.-F. Chio, Y. Zhu, S.-W. Sin, S.-P. U, and R. P. Martins, **“A power scalable 6-Bit 1.2 GS/S flash ADC with power on/off track-and hold and preamplifier”**, *Proc. IEEE ISCAS*, pp. 5-8, May 2008.
- [Wir07] G. I. Wirth, M.G. Vieira, and F.G. Lima-Kastensmidt, **“Accurate and computer efficient modelling of Single Event Transients in CMOS circuits”**, *IET Circuits, Devices and Systems*, 1(2):137-142, April 2007.
- [Yan04] L. Yang and G. B. Giannakis, **“Ultra-wideband communications,”** *IEEE Signal Processing Magazine*, vol. 21, no. 6, pp. 26–54, 2004
- [Yan05] Yang, H.Y.; Sarpeshkar, R. **“A time-based energy-efficient analog-to-digital converter”**, *IEEE Journal of Solid-State Circuits*, Vol.40, No.8, (Aug. 2005), pp.(1590- 1601).
- [Yan06] Yang, H.Y.; Sarpeshkar, R. **“A Bio-Inspired Ultra-Energy-Efficient Analog-to-Digital Converter for Biomedical Applications”**. *IEEE Transactions on Circuits and Systems I: Regular Papers*, Vol.53, No.11, (Nov. 2006), pp.(2349-2356).
-

- [Yin92] G.M.Yin, F.Op't Eynde, W.Sansen,"**A high-speed CMOS comparator with 8-b resolution**", *IEEE J. Solid-State Circuits*, vol.27, n^o2, pp. 208-211, Feb. 1992.
- [Ytt10] Ytterdal, T.; "**Design of energy efficient analog circuits in nanoscale CMOS technologies**,"*IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, 2010 10th, vol., no., pp.184-187, 1-4 Nov. 2010.

ANEXO A

PUBLICACIONES

ÍNDICE DEL CAPÍTULO

A.1 Capítulos de libro.	158
A.2 Artículos en revistas.	158
A.3 Comunicaciones en congresos internacionales.	158
A.4 Publicaciones relacionadas parcialmente con la Tesis.	159

En este apartado se presenta una lista de referencias a las publicaciones que constituyen las diferentes aportaciones a capítulos de libro, revistas y congresos, realizadas por el autor como resultado del trabajo desarrollado durante la realización de esta Tesis doctoral.

A.1 Capítulos de libro.

- [LopE12a] E. López-Morillo, **F. Márquez**, T. Sánchez-Rodríguez, C.I. Luján & F. Muñoz **“Achieving Energy Efficiency in Analogue and Mixed Signal Integrated Circuit Design”** *Energy Efficiency in Communications and Networks*, Dr. Sameh Gobriel (Ed.), ISBN: 978-953-51-0482-7, InTech, 2012

A.2 Artículos en revistas.

- [Mar13] **F. Márquez**, F. Muñoz, R.G. Carvajal, J.R. García-Oya, E. López-Morillo, A. Torralba, J. Galán; **“A novel autozeroing technique for flash Analog-to-Digital converters”** *Integration, the VLSI Journal*, 01/2014; 47(1):23–29
- [Mar15] F. Márquez, F. Muñoz, F.R. Palomo, L. Sanz, E. López-Morillo, M.A. Aguirre, A. Jiménez **“Automatic Single Event Effects sensitivity analysis of a 13-bit Successive approximation ADC”** *Special Issue of the IEEE Transactions on Nuclear Science on Modeling and Simulation of Radiation Effects*. Aceptado para publicación, 2015.

A.3 Comunicaciones en congresos internacionales.

- [Mar08] F. Márquez, F. Muñoz, M. Álvarez, R. Ibañez, R. G. Carvajal: **“A 6-Bit 1-Gs/S Flash-ADC Using Capacitive Interpolation in 0.13-Um CMOS.”** *Conference on Design of Circuits and Integrated Systems*. Grenoble (Francia). 2008
- [Muñ08] F. Muñoz, F. Márquez, R. G. Carvajal, J. R. García-Oya, A. Torralba: **“A 185 Mw, 6-Bit, 1gs/S Flash a/D Converter Based on a New Autozeroing Technique.”** *Conference on Design of Circuits and Integrated Systems*. Grenoble (Francia). 2008
- [Mar12] Marquez, F.; Munoz, F.; Palomo, F.R.; Aguirre, M.A. and Ullan, M., **“Analysis of Single Event Transient Effects in Analogue Topologies”** *4th International Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications (AMICSA '12)*. ESTEC, Noordwijk, Aug. 2012.
- [Mar12b] F. Márquez, F. Muñoz, F. R. Palomo, M. Aguirre and M. Ullán **“Automatic inspection of SET Vulnerability in Analog Cells”** *International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD, 2012)*. Sevilla, Sept. 2012.

- [Mar14] F. Márquez, F. Munoz, L. Sanz, F.R. Palomo, and M. A. Aguirre. **"AFTU, an Analog Single Event Effects automatic analysis tool"** *5th International Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications (AMICSA '14)*, Ginebra, July 2014.

A.4 Publicaciones relacionadas parcialmente con la Tesis.

A.4.1 Capítulos de libro.

- [Gar12a] J. R. García-Oya, F. Muñoz Chavero, R. M. Clemente, **F. Márquez**, E. López-Morillo and A. Torralba Silgado, **"Analog-to-Digital Conversion Systems for High Data Acquisition Rate"**, Academy Publish. 2014.
- [Gar12b] J. R. García-Oya, A. Kwan, F. Muñoz Chavero, F. M. Ghannouchi, M. Helaoui, **F. J. Márquez**, E. López-Morillo and A. Torralba Silgado, **"Subsampling Receivers with Applications to Software Defined Radio Systems"**, *Data Acquisition Applications*, Prof. Zdravko Karakehayov(Ed.), (ISBN) 979-953-307-817-4, InTech.

A.4.2 Artículos en revistas.

- [Gar12c] J. R. G. Oya, F. Munoz, A. Torralba, A. Jurado, **F. Márquez** and E. Lopez-Morillo, **"Data Acquisition System based on Subsampling Using Multiple Clocking Techniques"**, *IEEE Transactions on Instrumentation and Measurement*, Vol.61, No.8, pp.2333-2335, Aug. 2012
- [LopE12b] E. López-Morillo, F. Muñoz, A. Torralba, **F. Márquez**, I. Rebollo and J. R. García-Oya, **"Compact low-power implementation for continuous-time $\Sigma\Delta$ modulators"**, *Integration, the VLSI Journal*, Available online 23 October 2012, ISSN 0167-9260, 10.1016/j.vlsi.2012.10.001.
- [PalB12] B. Palomo, F. Muñoz, R. G. Carvajal, J. R. García-Oya, **F. Márquez**, **"An 8-bit 19 MS/s low-power 0.35 μ m CMOS pipelined ADC for DVB-H."** *Integration The VLSI journal*, Vol. 45 Issue 2, Pp.:222-227, 2012.

A.4.3 Comunicaciones en congresos internacionales.

- [Gar11] J.R. García-Oya, A. Jurado, F. Muñoz, A. Torralba, **F. Marquez** and E. López, “**Multiple Clocking High Analog-to-Digital Conversion Based on Subsampling**”, *XXVI Conference on Design of Circuits and Integrated Systems*, DCIS 2011, Vol.1, pp 405-409 Albufeira, Portugal.
- [LopE11] E. López-Morillo, F. Muñoz, A. Torralba, **F. Márquez**, I. Rebollo: “**A Very Low-area Amplifier-less EA Modulator for RFID Applications.**” *DCIS 2011*. Albufeira, Portugal. 2011
- [LopE12c] E. López-Morillo, F. Muñoz, A. Torralba, **F. Marquez** and J.R. García-Oya, “**A Very Low-area Amplifier-less $\Sigma\Delta$ Modulator for RFID Applications**”, *XXVI Conference on Design of Circuits and Integrated Systems*, DCIS 2011, Vol. 1, pp 179-184, Albufeira, Portugal.

